

Treball de Fi de Màster

Màster Universitari en Enginyeria Industrial

Disseny Hardware i Software d'una centraleta per a un BMS de balanceig actiu.

MEMÒRIA

Autor: DURAN MOLES, Manel
Director: MONTESINOS MIRACLE, Daniel
Convocatòria: Gener 2019



Escola Tècnica Superior
d'Enginyeria Industrial de Barcelona



Resum

Es clar, que avui dia el sector de les bateries es troba en plena expansió. Cada vegada més sistemes incorporen aquests elements ja que obren un ventall de possibilitat immens al no dependre d'una font d'alimentació connectada en xarxa.

No obstant, en expansions tan ràpides com aquesta, les empreses busquen desenvolupar bateries amb el màxim rendiment possible en el menor temps possible. Aquest fet provocar situacions com el cas del mòbil de *Samsung* en que sota certes circumstàncies la bateria arribava a explotar.

Successos com el de *Samsung* posen de manifest la importància del correcte control de les bateries. En aquest context és situa aquest projecte.

A continuació es detalla el desenvolupament d'un *BMS* (*Battery Management System*). Sistema encarregat de garantir el funcionament segur de les bateries. De *BMS* n'existeixen de diferents tipus i amb diferents estructures. El que s'ha desenvolupat en aquest projecte incorpora un dels subsistemes més innovadors anomenat balanceig actiu.

El balanceig, és comú en tots els *BMS* i s'encarrega d'anivellar les tensions de totes les cel·les que formen la bateria. El tret distintiu és l'estratègia que utilitza per dur-ho a terme, ja que a diferència de lo habitual on l'energia es perd en forma de calor mitjançant resistències; aquest redistribueix l'energia de les cel·les més carregades a les cel·les menys carregades, malbaratant d'aquesta manera la mínima energia possible.

El desenvolupament d'aquest projecte és troba seguint una filosofia de millora contínua, ja que no arrenca de zero sinó que es continua el desenvolupament iniciat en un projecte anterior. Per tant l'objectiu d'aquest projecte ha estat millorar i continuar el disseny del *BMS*, incorporant millores importants tant en l'àmbit de les prestacions com en el de la fiabilitat.

Com a accions més significatives destacar que s'ha dut un pas més enllà el hardware (HW) que hi havia amb la incorporació de noves funcionalitats, especialment en l'àmbit de l'adequació de senyals analògiques i un re-disseny sobre circuit imprès. Per altra banda, s'ha implementat un disseny de software (SW) basat en estàndards que a permès garantir la correctesa, alhora que facilitarà la comprensió del codi en possibles desenvolupaments futurs, gracies també a la substitució del microcontrolador per un de més potent amb més capacitat i molt més adequat per aquest tipus d'aplicacions.

Finalment tot el sistema, s'ha sotmès a una etapa de testeig funcional per tal de validar tot el que s'ha dissenyat així com posar de manifest possibles mancances per tal de ser abordades en el futur.

Sumari

SUMARI	5
1. GLOSSARI	7
1.1. Abreviacions, símbols i variables.....	7
1.2. Llistat de Figures	9
1.3. Llistat de Taules.....	12
2. INTRODUCCIÓ	13
2.1. Objectius del projecte	13
2.2. Abast del projecte	14
3. BATTERY MANAGEMENT SYSTEM (BMS)	15
3.1. Què és un <i>Battery Management System</i> o BMS?	15
3.2. Estructures de BMS.....	16
3.3. El balanceig	18
3.3.1. Balanceig passiu	19
3.3.2. Balanceig actiu	20
3.4. Equip de desenvolupament	21
4. DISSENY HARDWARE	25
4.1. Requeriments	25
4.2. Blocs funcionals.....	28
4.2.1. Processament.....	28
4.2.2. Comunicacions	30
4.2.3. Aïllament entre alt i baix voltatge	31
4.2.4. Adquisició i adequació de senyals analògiques.....	32
4.2.5. Control de contactors	34
4.2.6. Elements de visualització/control.....	35
4.2.7. Alimentacions	36
4.3. Adequació de senyals analògiques	37
4.3.1. Sensat de la tensió de la bateria de baix voltatge.....	40
4.3.2. Sensat del corrent de balanceig	42
4.3.3. Sensat de la tensió de la bateria d'alt voltatge	45
4.3.4. Sensat del corrent del BUS d'alt voltatge	47
4.3.5. Sensat de tensió diferencial per a la comprovació de l'estat dels contactors. ..	49
4.4. Disseny de la placa de circuit imprès	51
5. DISSENY SOFTWARE	55
5.1. Requeriments	55

5.2. Arquitectura.....	56
5.3. Components del <i>Basic software</i>	59
5.3.1. BMSConfig	59
5.3.2. AlarmManager.....	59
5.3.3. Balance.....	60
5.3.4. BMSComm	60
5.3.5. BMSControl	61
5.3.6. DataAcquisition	63
5.3.7. PrintsDisplay.....	63
5.4. Sistema operatiu i aplicació.....	64
5.4.1. BMS task	64
5.4.2. SoC task	67
5.4.3. Balance task.....	68
5.4.4. Sleep task.....	69
5.4.5. Info task	71
5.5. Interfície gràfica.....	71
6. TESTS D'INTEGRACIÓ	76
6.1. Test de càrrega.....	76
6.2. Test de descàrrega.....	78
6.3. Test de balanceig actiu.....	80
7. PLANIFICACIÓ DEL PROJECTE	83
8. PRESSUPOST	85
8.1. Recursos humans i materials.....	85
8.2. Fabricació i muntatge	86
9. IMPACTE AMBIENTAL	89
CONCLUSIONS	91
AGRAÏMENTS	93
BIBLIOGRAFIA	94
Referències bibliogràfiques.....	94

1. Glossari

1.1. Abreviacions, símbols i variables

ADC – Convertidor Analògic Digital.

Basic software – Capa de l'arquitectura software.

BMS – *Battery Management System*. Sistema que forma part d'una bateria i garanteix el seu ús dins dels límits segurs de funcionament.

Bus – medi per on circula informació.

C – Capacitat. Unitats del sistema internacional: Farad [F].

CAN – *Controller Area Network*. Protocol de comunicació.

CLK – *Clock*. Senyal de rellotge.

CS – *Chip Select*. En el protocol SPI. Línia de selecció de la slave.

Daisy chain – Arquitectura de comunicació.

dc-dc – Convertidor de corrent continu a corrent continu.

Formula Student – Competició universitària d'enginyeria a nivell internacional.

GND – *Ground*. Terra.

GPIO – *General Purpose Input Output*. Port d'entrada sortida d'ús general.

HAL – *Hardware Abstraction Layer*. Capa d'abstracció hardware.

HV – *High Voltage*. Alt voltatge (> 60 V).

HW – *Hardware*.

I – Corrent. Unitats del sistema internacional: Amper [A].

I2C – Protocol de comunicació.

Kernel – Component d'un sistema operatiu, encarregat de la comunicació entre el software i el hardware.

Know how – Coneixement adquirit en experiències anteriors.

Lay-out – Disposició física sobre una PCB dels components electrònics que la formen.

LV – *Low Voltage*. Baix voltatge ($< 60 \text{ V}$).

Màster – Unitat electrònica de control encarregada de genera accions de control envers a informació rebuda.

MISO – *Master Input Slave Output*. Respecta la màster: línia d'entrada d'informació en el protocol SPI.

MOSFET – *Metal Oxide Semiconductor Field Effect Transistor*. Transistor d'efecte de camp.

MOSI – *Master Output Slave Input*. Respecte la màster: línia de sortida d'informació en el protocol SPI.

Offset – Terme independent i l'equació d'una recta.

PCB – *Printed Circuit Board*. Placa de circuit imprès.

Pull down – Resistència que garanteix tensió 0 V quan el circuit es troba en repòs.

R – Resistència. Unitats del sistema internacional: Ohms [Ω].

Runtime – Temps real.

Slave – Unitat electrònica de recollida de dades i execució de comandes provinents d'una màster.

SoC – *State of Charge*. Estat de càrrega.

SPI – *Serial Peripheral Interface*. Protocol de comunicació entre l'ADC extern i la màster.

SW – *Software*.

SYS – *System*. Sistema.

UART – *Universal Asynchronous Receiver-Transmitter*. Protocol de comunicació entre slaves i màster i entre màster i interfície d'usuari.

V – Tensió. Unitats del sistema internacional: Volt [V].

1.2. Llistat de Figures

Fig. 3-1: BMS amb estructura d'estrella [6].	16
Fig. 3-2: BMS amb estructura Daisy chain [6].	17
Fig. 3-3: Procès de descàrrega d'una bateria desbalancejada.	18
Fig. 3-4: Esquema d'implementació del balanceig passiu [9].	19
Fig. 3-5: Placa de desenvolupament TIDA-00817 [26].	22
Fig. 3-6: Slave muntada sobre la bateria i amb el connexionat de sensat [21].	22
Fig. 3-7: Bateria pulmò [16].	23
Fig. 3-8: Contactor de potència [14].	23
Fig. 3-9: Esquema general del sistema.	24
Fig. 4-1: Esquema de sensat de tensió per al control dels contactors.	27
Fig. 4-2: NUCLEO-L476RG.	29
Fig. 4-3: Interfícies de comunicació del sistema.	30
Fig. 4-4: Esquema del bloc d'aïllament.	32
Fig. 4-5: Esquema de govern dels contactors.	34
Fig. 4-6: Esquema de connexionat dels LEDs.	35
Fig. 4-7: A l'esquerra el convertidor Buck per a l'electrònica de 5 V. A la dreta el convertidor Boost per alimentar els contactors.	37
Fig. 4-8: Configuració no inversora.	38
Fig. 4-9: Configuració inversora.	39
Fig. 4-10: Configuració restador.	40
Fig. 4-11: Adequació de la senyal de sensat de la tensió de la bateria de baix voltatge.	41
Fig. 4-12: Resultat de la simulació.	42

Fig. 4-13: Adequació de la senyal de sensat del corrent de balanceig.....	43
Fig. 4-14: Resultat de la simulació.....	44
Fig. 4-15: Adequació de la senyal de sensat de la tensió de la bateria d'alt voltatge.	45
Fig. 4-16: Resultat de la simulació.....	46
Fig. 4-17: Adequació de la senyal de sensat del corrent del bus d'alt voltatge.	47
Fig. 4-18: Resultat de la simulació.....	49
Fig. 4-19: Esquema de sensat de tensió per al control dels contactors.....	49
Fig. 4-20: Adequació de les mesures diferencials.	50
Fig. 4-21: Disposició dels components per a l'adquisició i adequació de les mesures d'alt voltatge.	52
Fig. 4-22: Distribució de tots els components de la màster.....	52
Fig. 4-23: PCB enrutada i amb el pla de massa de la capa superior.....	53
Fig. 4-24: PCB fabricada.....	53
Fig. 4-25: PCB muntada.	54
Fig. 5-1: Arquitectura genèrica d'un software basat en AUTOSAR [2].	56
Fig. 5-2: Arquitectura software del projecte.....	58
Fig. 5-3: Màquina d'estats del sistema.	62
Fig. 5-4: Algoritme d'inicialització del sistema.	65
Fig. 5-5: Algoritme principal del BMS task	66
Fig. 5-6: Algoritme de control i gestió del balanceig actiu.	69
Fig. 5-7: Algoritme d'entrada i sortida al mode de baix consum.....	70
Fig. 5-8: Adaptador USB-UART.	72

Fig. 5-9: Blocs dels que consta la interfície gràfica.	72
Fig. 5-10: Bloc de descodificació de dades.	73
Fig. 5-11: Model de descodificació de dades.	73
Fig. 5-12: Model de codificació de dades.	74
Fig. 5-13: Mòdul complet de visualització de dades.	74
Fig. 5-14: Visualització de les tensions de les cel·les.	74
Fig. 5-15: Resum del estat de les cel·les i visualització de les mesures dels sensors.	74
Fig. 5-16: Control dels contactors i visualització de l'estat i configuració del sistema.	75
Fig. 6-1: Evolució de la tensió de les 16 cel·les.	77
Fig. 6-2: Evolució dels principals paràmetres de control.	77
Fig. 6-3: Evolució de les tensions de totes les cel·les.	79
Fig. 6-4: Evolució dels principals paràmetres de control.	80
Fig. 6-5: Evolució de la tensió de totes les cel·les amb l'efecte del balanceig.	81
Fig. 6-6: Evolució de la tensió de la bateria de baix voltatge.	82
Fig. 7-1: Diagrama de Gantt del projecte.	84

1.3. Llistat de Taules

Taula 3-1:Caractèristiques de la cel·la HW-38120HP de la marca Headway [20].	21
Taula 4-1: Tensions de polarització.	35
Taula 4-2: Valor de les resistències.	36
Taula 4-3: Comparació rangs de tensió.	40
Taula 4-4: Comparativa de rangs.	43
Taula 4-5: Comparativa de rangs.	45
Taula 4-6: Comparativa de rangs.	47
Taula 8-1: Avaluació del cost dels recursos humans.	85
Taula 8-2: Avaluació del cost dels recursos materials.	86
Taula 8-3: Avaluació del cost de fabricació i muntatge de la màster.	86
Taula 8-4:Avaluació del cost de fabricació i muntatge del sistema.	87

2. Introducció

El sector de les bateries, no és una excepció al ràpid avanç de la tecnologia. Aquest fet, juntament amb un entorn cada cop més conscienciat amb el medi ambient, ha provocat que s'iniciïn noves línies d'investigació i noves maneres d'entendre una bateria i tot el que comporta.

En aquest paradigma es situa aquest projecte. A continuació és presenta un desenvolupament d'un sistema de monitorització i control de bateries (anomenat tècnicament BMS), tan en la seva vessant Hardware com Software.

El desenvolupament d'un BMS complet és un projecte que requereix d'una inversió tan material, com humana, com de temps considerable. Cosa que queda fora de l'abast d'un projecte com el que es presenta.

No obstant, aquest fet no significa que no és pugui desenvolupar un BMS mitjançant aquesta fórmula. Ja que la consecució de diferents projectes encarats tots sota una mateixa línia de desenvolupament, porta a aconseguir avenços no menyspreables. Un clar exemple d'això és la *Formula Student* on any rere anys, els membres de l'equip *ETSEIB MotorSport* utilitzen la seva feina de desenvolupament com a projecte de final de grau o màster. Deixant un *Know How*, cada cop més ampli, que serveix com a punt de partida per a les temporades següents.

Aquesta mateixa línia és la que s'ha seguit en aquest projecte, ja que es pot entendre com una continuació al desenvolupament del BMS que va iniciar en Miquel Gaig ara fa uns mesos [21].

2.1. Objectius del projecte

Així doncs, l'objectiu principal és continuar el desenvolupament d'aquest sistema i arribar a una segona versió, que tecnològicament aporti millores tant a nivell de capacitat i prestacions, com a nivell de robustesa.

Seguint aquesta premissa es destaquen els següents objectius:

- Unificació de tot el Hardware en una placa de circuit imprès.
- Millora en el sistema d'adequació de senyals analògiques.

- Incorporació de nous sensors, per a la millora de la gestió energètica del sistema.
- Canvi de microcontrolador per un amb millors prestacions i més adequat per aquest tipus d'aplicacions.
- Nova estructuració del software seguint com a base estàndards de la indústria.
- Ampliació de les prestacions del sistema, afegint un primer algoritme d'estimació de l'estat de càrrega de la bateria.

2.2. Abast del projecte

Com s'ha mencionat, el desenvolupament d'un sistema de monitorització de bateries és un procés llarg.

Per tant, l'abast d'aquest projecte no inclou la finalització del desenvolupament del sistema. Sinó, implementar les millores mencionades anteriorment com a objectius.

Aquestes millores són conseqüència d'un anàlisi del sistema que va desenvolupar en Miquel Gaig. Aquest anàlisi va posar de manifest les principals mancances que van anar apareixen al llarg del seu desenvolupament i que va ser impossible corregir [21].

Quedarà fora de l'abast d'aquest projecte, el desenvolupament d'altres prestacions típiques d'un sistema com aquest, com poden ser:

- La gestió i el control, en detall, de la càrrega de la bateria.
- El desenvolupament d'un protocol de comunicació cap a l'exterior del sistema.
- El disseny d'una gestió més integrada dels fluxos d'energia del sistema.
- Caracterització de la cel·la utilitzada per aconseguir una estimació de l'estat de càrrega de la bateria més acurat.

3. Battery Management System (BMS)

Aquest apartat, pretén fer una breu introducció envers als sistemes de monitorització de bateries (BMS a partir d'ara); així com posar en antecedents al lector.

3.1. Què és un *Battery Management System* o BMS?

Un *Battery Management System* o BMS no és més que un sistema electrònic encarregat de controlar totes i cadascuna de les cel·les que formen part d'una mateixa bateria.

Aquest control és necessari principalment per dues raons:

- Mantenir les cel·les dins dels seus rangs de treball.
- Maximitzar el rendiment de la bateria.

La primera raó té una implicació directa en termes de seguretat, ja que una cel·la treballant fora del seu rang de voltatge, per exemple, és potencialment molt perillosa i les conseqüències varien des d'una pèrdua de rendiment, fins la ignició d'un incendi en el interior de la bateria.

Mantenir les cel·les dins del seu rang de treball, a la pràctica, es tradueix en que la tensió de les cel·les no excedeixi els límits que marca el fabricant de la pròpia cel·la. És per aquest motiu que els BMS monitoritzen la tensió de totes les cel·les de la bateria.

Per altra banda, per maximitzar el rendiment de la bateria un BMS utilitza diverses estratègies. Primer de tot, controlar el corrent que circula per la bateria i comprova que aquest es mantingui per sota d'un cert valor. Aquesta magnitud es pren com una mesura del nivell d'estrès que pateix la bateria i que repercutirà directament en la seva vida útil.

Una altra estratègia que utilitza un BMS per maximitzar el rendiment, és compensar les petites variacions de capacitat d'emmagatzematge d'energia que presenten les cel·les. Si es pren un lot de fabricació sencer de cel·les i es mesura la capacitat de cadascuna d'elles es veurà que no són iguals, degut a les toleràncies de fabricació.

Intuïtivament, ja es pot veure, que la cel·la que presenti menor capacitat serà la que abans arribarà al seu límit de descàrrega. I el mateix passa amb la càrrega.

Aquest fet, pot provocar una dràstica reducció del rendiment de la bateria. Ja que, per

exemple, en un procés de descàrrega, quan la cel·la amb menor capacitat arribi al seu límit provocarà que s'interrompi la transferència d'energia per tal de garantir que aquesta cel·la no sobrepassa cap dels seus límits de funcionament. Mentre que la resta de cel·les encara disposen d'energia que no podrà ser aprofitada.

L'estratègia mitjançant la qual un BMS pal·lia aquest efecte s'anomena balanceig i s'introdueix més endavant en l'apartat 3.3.

3.2. Estructures de BMS

Existeixen diferents maneres d'estructurar un BMS, no obstant, la gran majoria de topologies de BMS existents avui dia són combinacions de dues estructures bàsiques:

- *Estructura en estrella* (Fig. 3-1): en aquest tipus d'estructura les cel·les són agrupades en lots. Cada lot conté una slave que s'encarrega de monitoritzar la tensió i opcionalment la temperatura de cadascuna de les cel·les del lot [6].

Per altra banda, amb tota la informació que adquireixen les slaves, aquestes la envien a un altre component del BMS anomenat màster [6].

La màster recull tota la informació provinent de totes les slaves i controla el contactors de la bateria.

Així doncs, la màster és l'element encarregat de controlar que la bateria és trobi operant dins dels rangs de funcionament segurs [6].

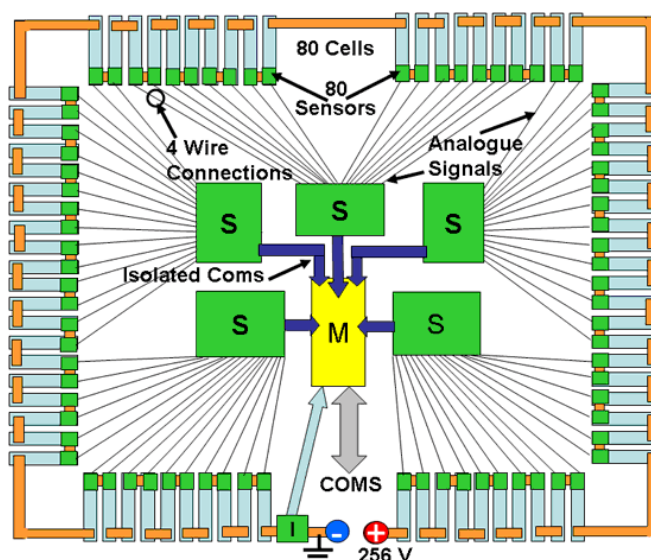


Fig. 3-1: BMS amb estructura d'estrella [6].

- *Daisy chain* (Fig. 3-2): aquesta estructura és caracteritzada per utilitzar una petita slave per a cada cel·la, cosa que permet reduir la longitud dels cables de connexió i fer la mesura més robusta [6].

Igual que amb l'estructura presentada anteriorment, en aquesta, tota la informació recollida per les slaves arriba a una màster que serà l'encarregada de prendre les decisions oportunes per garantir el bon funcionament de la bateria [6].

Un altre tret distintiu, és la comunicació. Enlloc d'establir un medi de comunicació entre la màster i cadascuna de les slaves; en aquesta ocasió la màster proporciona un únic BUS de comunicació compartit per totes les slaves on mitjançant el protocol oportú s'establirà la comunicació [6].

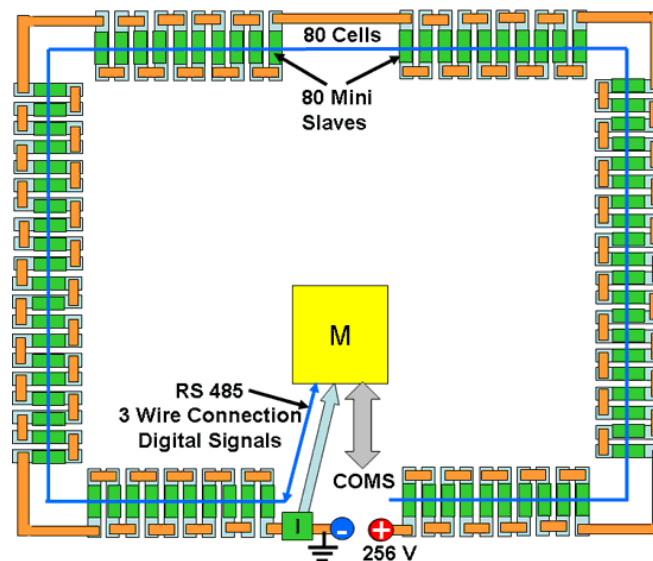


Fig. 3-2: BMS amb estructura Daisy chain [6].

Com s'ha comentat a l'inici d'aquest apartat, existeixen multitud d'estructures diferents de BMS amb diferents tipus de comunicacions.

En concret per desenvolupar aquest projecte, com a slave s'ha optat per utilitzar la placa de desenvolupament *TIDA-00817* de *Texas instruments* [26]. Aquesta placa de desenvolupament utilitza l'integrat *bq76PL455A-Q1* també de *Texas instruments* [9].

L'integrat *bq76PL455A-Q1* té capacitat per controlar fins a 16 cel·les. A més a més disposa de 8 entrades analògiques auxiliars pensades per ser utilitzades principalment com sensats de temperatura [9].

A banda de l'adquisició de dades disposa de 6 ports digitals que s'utilitzen per controlar altres integrats necessaris per dur a terme el balanceig actiu (apartat 3.3) [9].

En termes de comunicació, aquesta és anàloga a la estructura Daisy chain [9].

Així doncs, a mode de resum, l'estructura de BMS que es desenvoluparà en aquest projecte és una barreja entre l'estructura en estrella, ja que cada slave podrà controlar fins a 16 cel·les i Daisy chain ja que tan sols es disposa d'un sol medi de comunicació que haurà de ser compartit per totes les slaves.

3.3. El balanceig

Una bateria és troba 100 % carregada, quan una de les cel·les que la formen arriba al seu màxim de tensió. Anàlogament, una bateria és troba completament descarregada quan una de les seves cel·les arriba al seu límit inferior de tensió.

Per tant, per treure el màxim rendiment de la bateria, és fa necessari que totes les cel·les arribin al seu màxim de tensió al mateix moment, durant un procés de càrrega. En aquell moment la bateria haurà admès la màxima quantitat d'energia que pot emmagatzema. El mateix raonament, a la inversa, és pot repetir per a un procediment de descàrrega.

No obstant, en la pràctica, el comportament de les cel·les al llarg dels cicles de càrrega i descàrrega no és uniforme degut a les toleràncies de fabricació. Les quals, s'estimen que són de l'ordre d'un $\pm 2,5$ % [3]. Cosa que provoca una pèrdua de rendiment.

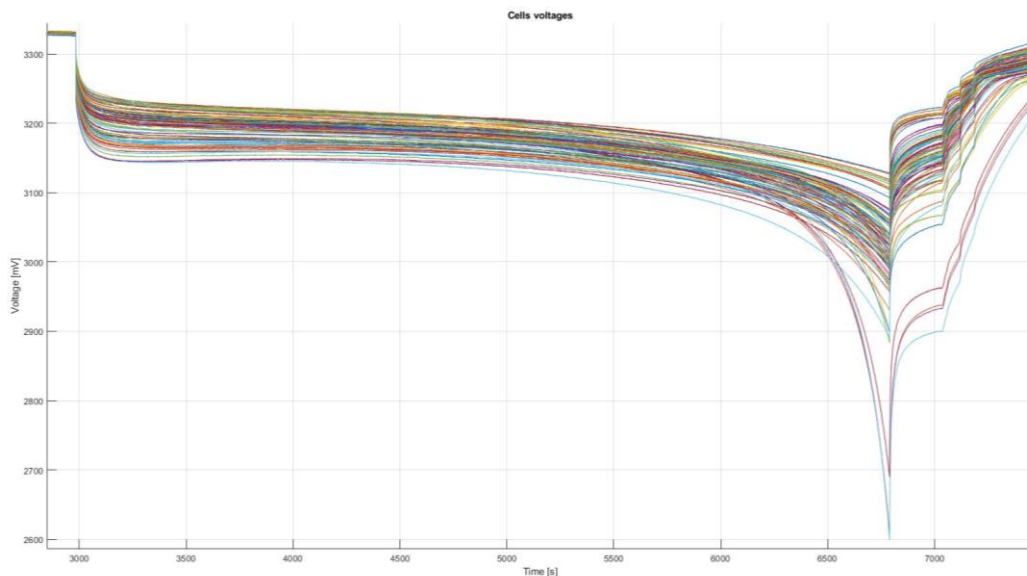


Fig. 3-3: Procés de descàrrega d'una bateria desbalancejada.

La figura anterior (Fig. 3-3), mostra l'evolució de la tensió de les cel·les d'una bateria de 300 V, formada per 90 cel·les, al llarg d'un procés de descàrrega. Com es pot apreciar la descàrrega és interrompuda, quan una de les cel·les arriba al seu límit inferior de voltatge, situat a 2,6 V.

Com es pot apreciar (Fig. 3-3), en el moment en que s'atura la descàrrega, la gran majoria de cel·les encara es troben molt per sobre del seu límit de tensió, el que significa que encara els hi resta energia que podrien entregar. No obstant, la bateria es declara com completament descarregada com a conseqüència de la cel·la que ha arribat al seu mínim.

Per tal de pal·liar aquest efecte s'utilitza el balanceig. Així doncs, el balanceig és pot definir com el procés mitjançant el qual un BMS iguala la tensió de totes les cel·les que formen part d'una bateria.

Per fer-ho, existeixen dues estratègies:

- Balanceig passiu
- Balanceig actiu

3.3.1. Balanceig passiu

Aquesta estratègia consisteix en dissipar l'energia d'aquelles cel·les que presenten una tensió més elevada. En altres paraules, l'objectiu d'aquesta estratègia és dur totes les cel·les al nivell de tensió que presenta la cel·la més baixa, cremant l'energia sobrant.

Per fer-ho, habitualment, els BMS opten per incorporar una resistència en paral·lel a cada cel·la i que pot ser connectada i desconnectada d'aquesta mitjançant un transistor. D'aquesta manera la màster decideix quina cel·la ha de ser balancejada i duran quan de temps.

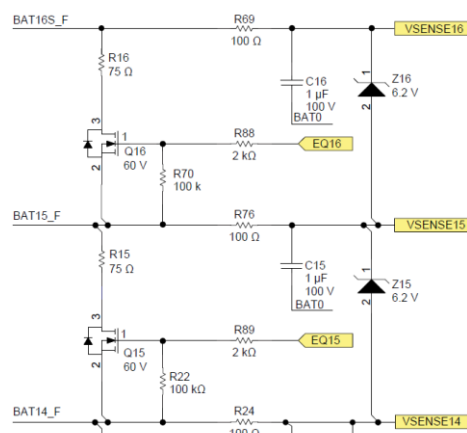


Fig. 3-4: Esquema d'implementació del balanceig passiu [9].

Aquesta estratègia, és la mes utilitzada avui dia, ja que és la més senzilla d'implementar, el seu cost és reduït i és fàcilment controlable.

No obstant, presenta alguns inconvenients:

- El fet de cremar l'energia sobrant representa un gran repte tècnic en quan a la dissipació tèrmica es refereix, la qual cosa acota significativament els corrents de balanceig, que no acostumen a superar els 0,5 A.
- Degut als baixos corrents de balanceig aquesta estratègia acostuma a ser lenta.
- L'energia sobrant no s'aprofita cosa que representa una notòria ineficiència.

3.3.2. Balanceig actiu

Per altra banda, el balanceig actiu, té com a idea fonamental, igualar la tensió de les cel·les transferint l'energia de les cel·les més carregades a les menys carregades.

A la pràctica, existeixen diferents aproximacions per dur a terme aquesta idea. Per exemple, es pot utilitza l'energia sobrant de les cel·les més carregades per carregar tota la bateria.

Una altra opció, que serà la que s'utilitzarà en aquest projecte [26], és utilitzar una bateria auxiliar, més petita, que compleixi la funció de pulmó. D'aquesta manera l'energia sobrant de les cel·les més carregades s'emmagatzema en aquesta bateria i les cel·les amb un nivell de tensió més baix poden ser carregades utilitzant aquesta mateixa energia.

Indiferentment del tipus d'implementació, aquesta estratègia representa un pas endavant en termes d'eficiència energètica respecte el balanceig passiu (apartat 3.3.1). Ja que l'única energia que es perd és la deguda als rendiments dels components que s'utilitzin.

També presenta una millora en quan el temps necessari per igualar els nivells de tensió, ja que al no cremar energia no es genera calor i per tant és pot augmentar el corrent de balanceig, reduint així el temps.

Per altra banda, el balanceig actiu, requereix de més components que el passiu cosa que eleva el cost d'implementació. A més a més, és un sistema més complex així com el seu control.

3.4. Equip de desenvolupament

Per acabar amb aquest apartat, a continuació es presenten tots els elements que conformen el sistema. Alguns dels quals venen donats, pel fet que aquest projecte representa una continuació en el desenvolupament d'un BMS ja iniciat [21] (apartat 2).

Com a punt de partida, es presenta la bateria que serà controlada. Aquesta està formada per 16 cel·les de liti, de la marca *Headway*, en concret el model *HW-38120HP*.

Aquesta cel·la presenta com a característiques més importants les que es mostren en la següent taula (Taula 3-1):

Cel·la <i>HW-38120HP</i>	
Voltatge nominal	3,20 V
Voltatge mínim	2,50 V
Voltatge màxim	3,65 V
Capacitat nominal	8,00 A·h
Màxim corrent de descàrrega continua	20 C (160 A)
Màxim corrent de descàrrega de pic (< 5 s)	25 C (200 A)
Corrent de càrrega recomanat	2 A

Taula 3-1: Característiques de la cel·la HW-38120HP de la marca Headway [20].

Formant així una bateria de 51,2 V de tensió nominal.

Per altra banda, com ja sa comentat en apartats anteriors, com a slaves s'ha utilitzat la placa de desenvolupament de *Texas Instruments TIDA-00817* (Fig. 3-5). Aquesta placa de desenvolupament ja ve preparada per implementar el balanceig actiu. A més a més, l'integrat encarregat de controlar la tensió de les cel·les té capacitat de fins a 16 cel·les, amb la qual cosa amb una única slave serà suficient [9] (Fig. 3-6).

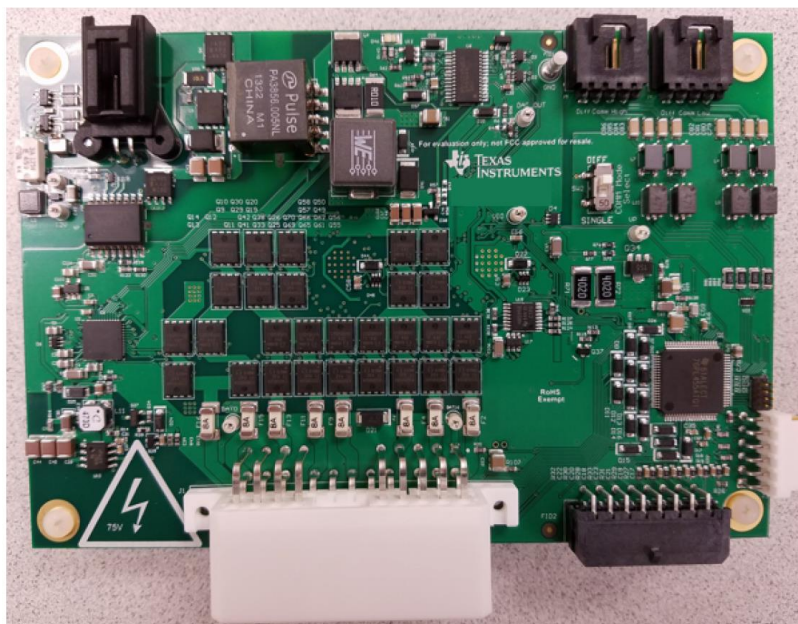


Fig. 3-5: Placa de desenvolupament TIDA-00817 [26].



Fig. 3-6: Slave muntada sobre la bateria i amb el connexionat de sensat [21].

El sistema de balanceig que incorpora la slave de *Texas instruments*, està pensat de tal manera que la cel·la que ha de ser balancejada es connecta a un convertidor dc-dc aïllat bidireccional, que passa de la tensió de la cel·la (3,2 V nominals) a 12 V, i viceversa [26].

Així doncs, per poder balancejar, és necessària una bateria de 12 V de tensió nominal que actuarà com a bateria pulmó. Es a dir, l'energia sobrant d'una cel·la s'emmagatzemarà en aquesta. I l'energia necessària per carregar les cel·les amb tensions més baixes s'extraurà també d'aquesta.

La bateria escollida per fer les funcions de pulmó ha estat una bateria convencional de moto de plom àcid (Fig. 3-7).



Fig. 3-7: Bateria pulmó [16].

Pel que fa al control de les transferències energètiques, s'ha disposat de dos contactors de potència que compliran la funció d'aïllar els pols de la bateria de qualsevol càrrega que es connecti a ella. En concret s'ha disposat de dos contactors de la marca *Tyco Electronics*, model *KILOVAC LEV100* [14].



Fig. 3-8: Contactor de potència [14].

Comentar que tots els elements presentats fins ara en aquest apartat van ser els mateixos que va utilitzar en Miquel Gaig per iniciar el desenvolupament d'aquest BMS. Amb el propòsit d'avançar el màxim possible en el desenvolupament d'aquest BMS s'ha cregut oportú continuar utilitzant aquests mateixos elements amb la mateixa configuració amb els que els va utilitzar en Miquel [21]. D'aquesta manera s'ha pogut centrar aquest projecte en el desenvolupament d'un dels elements claus del BMS, la seva màster.

Finalment per acabar amb aquest apartat es presenta un esquema general de tot el conjunt per donar al lector una visió més clara de la posició que ocupen cadascun dels elements presentats (Fig. 3-9).

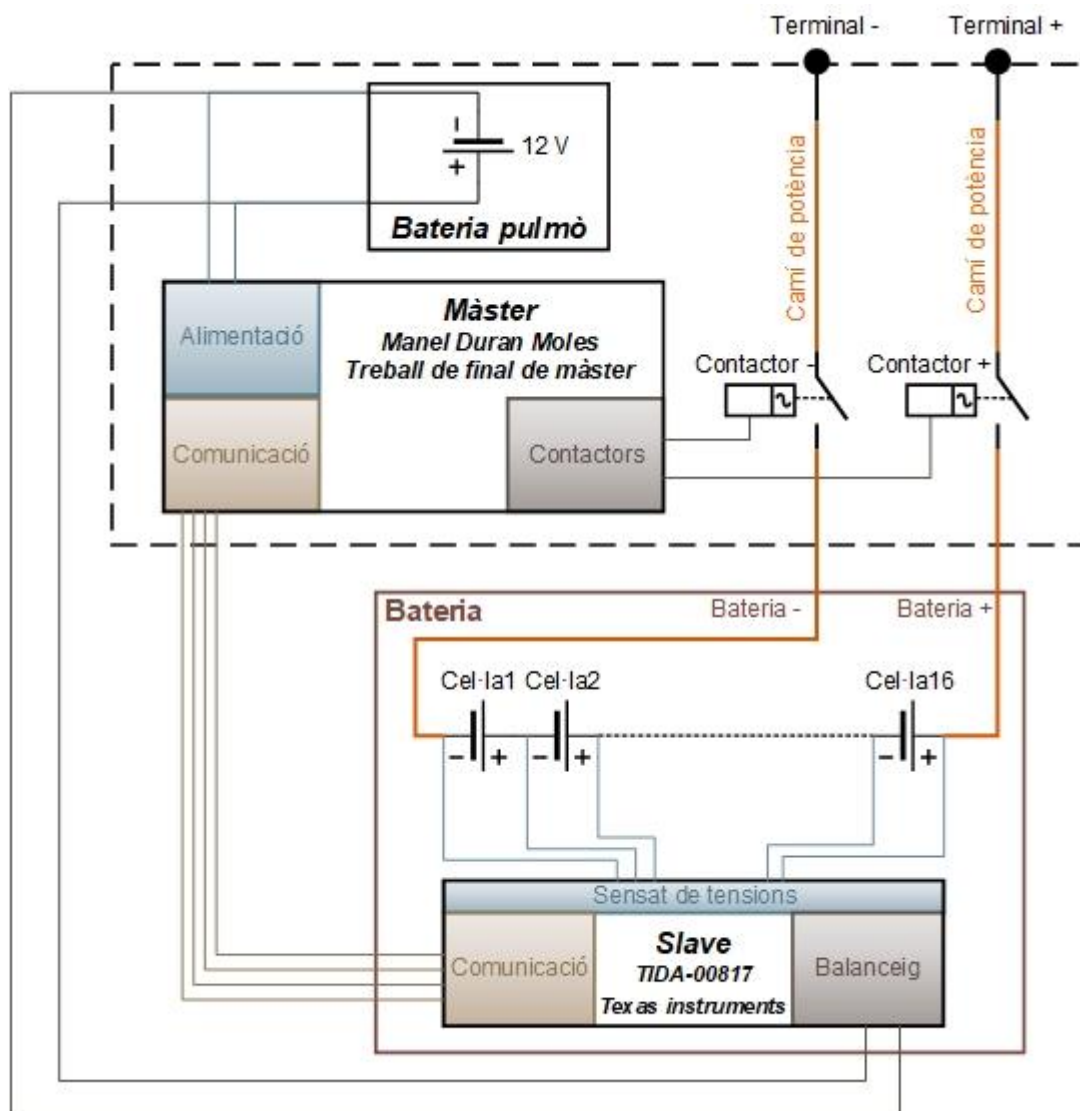


Fig. 3-9: Esquema general del sistema.

4. Disseny Hardware

En aquest apartat es tractaran tots els aspectes referents al disseny hardware de la centraleta de control (màster a partir d'ara).

El disseny parteix d'una anàlisi dels requeriments que la màster haurà de satisfer (apartat 4.1).

A partir d'aquests es determinen tots els blocs funcionals que hauran de ser-hi presents (apartat 4.2). Com es veurà més endavant en alguns blocs funcionals hi intervé l'adequació de senyals analògiques, al qual s'hi ha prestat especial atenció (apartat 4.3).

Finalment, es tracten altres temes rellevants a l'hora de completar el disseny (apartat 4.4).

Esclarir, que els esquemes que es presentaran al llarg d'aquesta memòria donen una visió específica d'allò que s'explica en cada apartat. Si es desitja tenir una visió sencera del esquema complet de la màster, aquest es pot trobar en l'annex A adjunt a aquest document.

4.1. Requeriments

L'anàlisi de requeriments que es presenta a continuació, té com a objectiu posar de manifest totes les funcionalitats, a nivell de hardware, que haurà de satisfer la màster.

Per començar s'analitzen els requeriments a nivell general, és a dir a grans trets. A aquests requeriments se'ls ha anomenat requeriments de sistema (abreujat com SYS a continuació), i són:

- SYS-1: La màster ha de tenir la capacitat de proporcionar un bus de comunicació per a les slaves i comunicar-s'hi (apartat 3.4).
- SYS-2: La màster ha de tenir la capacitat de recollir la informació que provinent de diferents fonts externes i prendre decisions en base a aquesta.
- SYS-3: S'ha de monitoritzar qualsevol transferència energètica dels sistema.
- SYS-4: La màster ha de poder controlar el camí de potència.
- SYS-5: S'ha de proporcionar una estimació sobre l'estat de càrrega de la bateria.
- SYS-6: S'ha de proporcionar una interfície de control i govern del sistema.

SYS-7: S'ha de garantir l'aïllament entre l'alt i baix voltatge.

Enumerats els requeriments de sistema. S'entra en detall en cadascun d'ells i s'especifiquen els requeriments del hardware (abreujat com HW a continuació):

- HW-0.1: La màster haurà d'incorporar un microcontrolador. Aquest primer requeriment es necessari per satisfer tots els requeriments de sistema anteriors, per aquest motiu se l'hi ha donat la numeració 0.1.
- HW-1.1: El microcontrolador referent al requeriment HW-0.1 haurà de proporcionar com a mínim un bus de comunicació UART per tal d'establir comunicació amb les slaves, tal i com s'ha explicat en l'apartat 3.4.
- HW-2.1: El microcontrolador referent al requeriment HW-0.1 haurà de ser capaç d'adquirir la informació provinent de l'exterior, processar-la i prendre decisions. El microcontrolador haurà de dur a terme aquesta funcionalitat amb un temps inferior al període d'adquisició de les dades. Aquest període pot ser diferent en funció de la naturalesa de les dades que s'estiguin tractant en cada cas.
- HW-3.1: El sistema haurà de incorporà sensors per tal controlar els diferents intercanvis d'energia.
- HW-3.1.1: El sistema incorporarà un sensor de corrent de efecte hall per tal de mesurar el corrent present en el camí de potencia.
- HW-3.1.2: El sistema incorporarà un sensor de corrent per tal de mesurar el corrent present en el circuit de balanceig.
- HW-3.1.3: El sistema incorporarà un sensor de tensió per tal de mesurar la tensió total de la bateria.
- HW-3.1.4: El sistema incorporarà un sensor de tensió per tal de mesurar la tensió de la bateria de 12 V.
- HW-3.2: El microcontrolador referent al requeriment HW-0.1 haurà de ser capaç d'adquirir dades analògiques.
- HW-3.3: Totes les senyals analògiques (HW-3.1.1, HW-3.1.2, HW-3.1.3 i HW-3.1.4) hauran de ser tractada per tal d'adequar-les a l'entrada del microcontrolador (HW-0.1).
- HW-4.1: Els sistema haurà de incorporà dos contactors, un per cada pol de la bateria.

- HW-4.1.1: La màster haurà de disposar d'un circuit de control pel contractor del pol positiu.
- HW-4.1.2: La màster haurà de disposar d'un circuit de control pel contractor del pol negatiu.
- HW-4.1.3: Degut que el que s'estan controlant són contactors, els dos circuit de control (HW-3.2 i HW-3.3) hauran d'estar adequadament protegits contra sobretensions.
- HW-4.2: Per tal d'assegurar l'obertura i tancament dels contactors, es mesurarà la diferencia de potencial entre diferents punts seguint l'esquema de la figura Fig. 4-1:

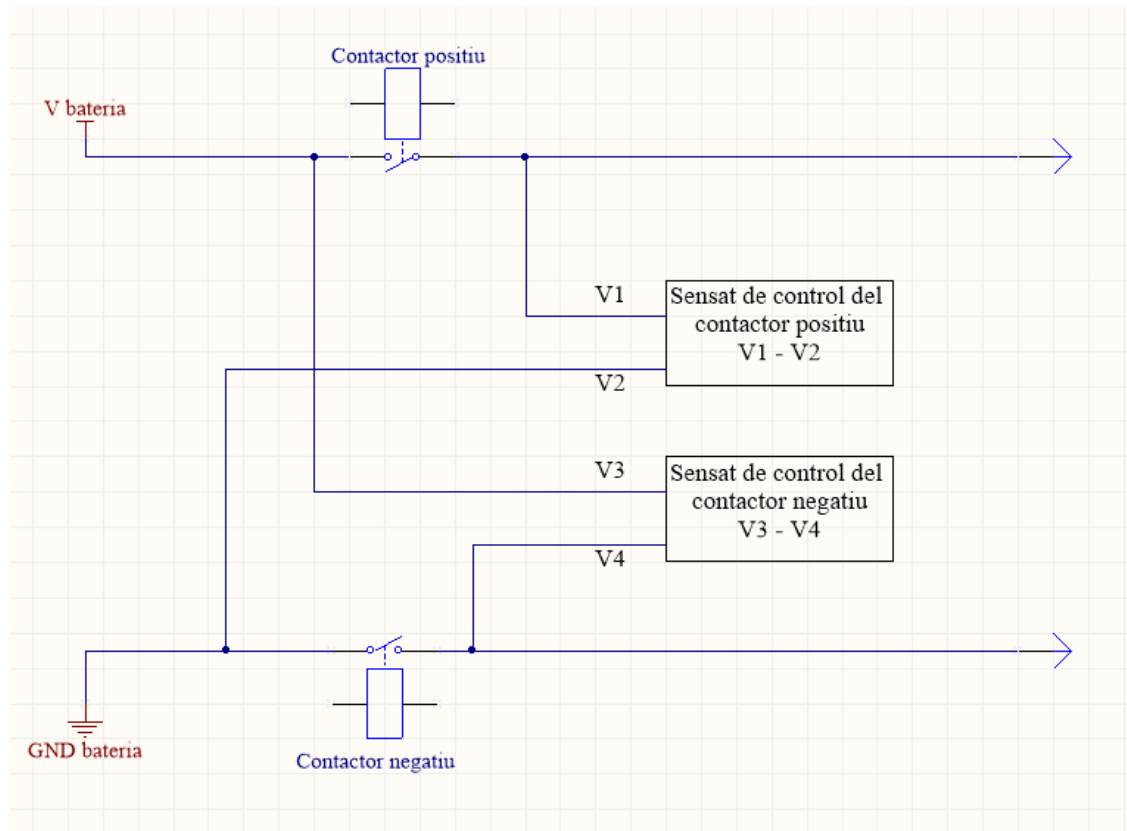


Fig. 4-1: Esquema de sensat de tensió per al control dels contactors.

- HW-4.2.1: Al haver-hi adquisició de dades analògiques, s'apliquen els requeriments HW-3.2 i HW-3.3.
- HW-5.1: A partir de les mesures del sensor descrit en el requeriment HW-3.1.1, es

realitzarà el càlcul de l'estat de càrrega de la bateria.

- HW-6.1: El microcontrolador referent al requeriment HW-0.1 haurà de proporcionar com a mínim un bus de comunicació UART diferent al descrit en el requeriment HW-1.1 per tal d'establir comunicació amb la interfície d'usuari.
- HW-7.1: Les mesures de tensió d'alt voltatge, descrites en els requeriments HW-3.1.3 i HW-4.2, es realitzaran amb un convertidor analògic-digital (ADC) extern.
- HW-7.2: El microcontrolador referent al requeriment HW0.1 haurà de proporcionar com a mínim un bus de comunicació adequat per tal d'establir comunicació amb l' ADC (HW-7.1).
- HW-7.3: La comunicació entre el microcontrolador (HW-0.1) i l' ADC (HW-7.1) ha de ser aïllada.

4.2. Blocs funcionals

A partir dels requeriments descrits en l'apartat anterior (apartat 4.1), es diferencien 7 grans grups funcionals, els quals es detallen a continuació:

4.2.1. Processament

Aquest bloc funcional està caracteritzat per incloure el microcontrolador.

El microcontrolador, és l'encarregat de rebre les mesures provinents de les slaves, les ordres provinents de la interfície d'usuari, així com les dades obtingudes pels sensors. Processar tota aquesta informació i generar el conjunt de comandes que garanteixen l'ús segur de la bateria.

En aquest cas, i degut a que no hi ha una aplicació concreta al darrera del projecte, els requeriments que ha de satisfer el microcontroladors, no són exigents (requeriments HW-0.1, HW-1.1, HW-2.1, HW-3.2, HW-4.1.1, HW4.1.2, HW-4.2.1, HW-6.1, HW-7.2 de l'apartat 4.1). Avui dia, existeix un gran ventall d'opcions de microcontroladors que poden satisfer perfectament els requeriments marcats.

Concretament s'ha optat per utilitzar el microcontrolador *STM32L476RG* de la marca *ST*. Aquest microcontrolador disposa d'un processador *ARM* de 32-bit amb una freqüència

màxima de 80MHz, 1 MB de memòria Flash i 128 KB de memòria RAM [19]. Amb aquestes propietats queden coberts els requeriments HW-0.1 i HW-2.1 (apartat 4.1).

Per altra banda aquest dispositiu disposa de 6 busos de comunicació UART, 3 busos de comunicació I2C, 3 busos SPI i un bus CAN, entre d'altres [19], així doncs, queden coberts els requeriments HW-1.1, HW-6.1 i HW-7.2 (apartat 4.1).

Respecte als requeriments HW-3.2 i HW-4.2.1 (apartat 4.1), referents a l'adquisició de dades analògiques aquest microcontrolador disposa de 3 ADC de 12-bits de resolució amb un total de 35 canals de sensat entre tots tres[19].

Per últim els requeriments HW-4.1.1 i HW-4.1.2 queden coberts ja que aquest model de microcontrolador disposa de 51 ports d'entrada/sortida d'ús general (GPIO) [19].

Destacar que aquest microcontrolador pertany a la sèrie *L4* de la família *STM32* que es caracteritzen per ser microcontroladors de molt baix consum [19], fet remarcable tenint en compte que el sistema s'alimenta d'una bateria.

Per últim comentar que un dels altres motius pels quals s'ha optat per aquest model es perquè existeix l'opció d'adquirir-lo muntat sobre una placa de desenvolupament, en concret la *NUCLEO-L476RG* [17]. Fet que facilita el desenvolupament del sistema. En la figura Fig. 4-2 es mostra una imatge de la placa que s'ha escollit.

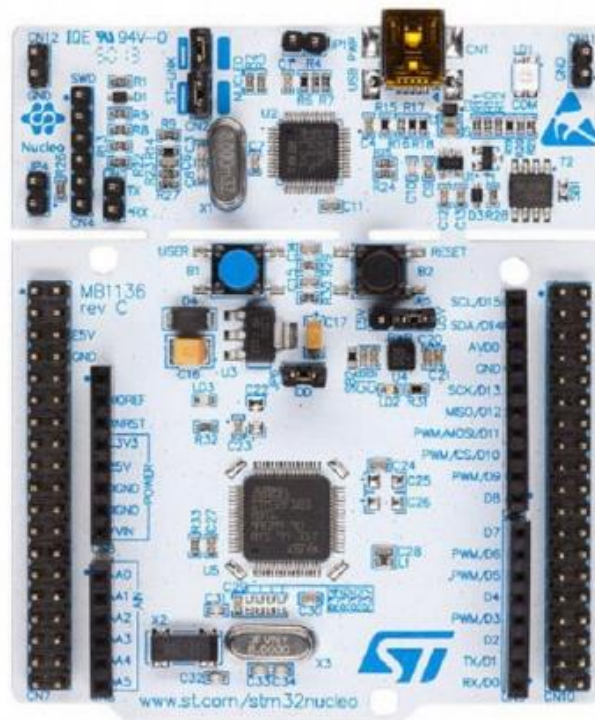


Fig. 4-2: NUCLEO-L476RG.

4.2.2. Comunicacions

En aquest grup, hi intervenen totes les interfícies de comunicació presents en el sistema, i que la màster a de proporcionar. Com a extracte del que s'ha comentat en l'apartat de requeriments (apartat 4.1), les interfícies, o busos, de comunicació necessaris són:

- Comunicació UART entre la màster i les slaves.
- Comunicació UART entre la màster i la interfície d'usuari i control.
- Comunicació SPI entre la màster i el sensat de tensions amb referència d'alt voltatge.

A diferència de la comunicació CAN, tan la comunicació UART com la comunicació SPI, no requereixen de cap tipus de tractament especial abans d'enviar la informació o després de rebre-la, el microcontrolador ja proporciona les senyals en el format necessari per ser enviades. Per tan, el connexionat dels busos és directa (Fig. 4-3).

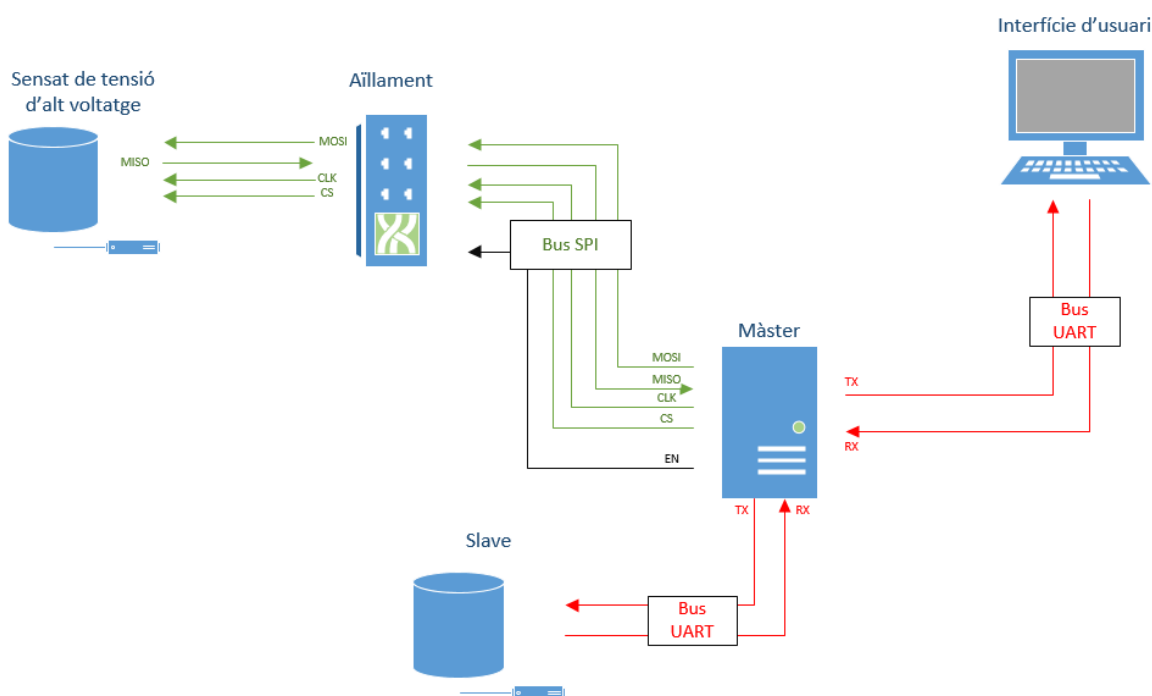


Fig. 4-3: Interfícies de comunicació del sistema.

Com es pot apreciar en la figura anterior (Fig. 4-3). El bus de comunicació SPI entre la màster i el mòdul de sensat de tensió amb referència d'alt voltatge, passa per una etapa d'aïllament. A continuació, en el següent apartat 4.2.3, es tracta en detall aquesta etapa.

4.2.3. Aïllament entre alt i baix voltatge

Quan es treballa amb tensions elevades (per sobre de 60 V en contínua), si aquestes interaccionen amb l'electrònica de control (entenent que l'electrònica de control s'alimenta amb una tensió inferior a 60 V). És convenient aïllar les senyals involucrades de la resta d'elements del sistema.

D'aquesta manera, en cas de fallada en el sistema d'alt voltatge només la part de l'electrònica de control en contacte directe amb l'alt voltatge es veuria afectada.

A més a més, aïllar les senyals proporciona major seguretat a les persones que han de treballar amb l'electrònica de control, ja que s'evita la presència de tensions potencialment perilloses.

Per garantir l'aïllament i complir amb els requeriments HW-3.1.3 i HW-4.2 (apartat 4.1). En aquest cas s'ha optat per posar tota la cadena d'adequació i adquisició de les senyals analògiques en contacte directe amb l'alt voltatge i aïllar la sortida del sistema d'adquisició cap a la màster. S'ha optat per aquesta opció ja que d'aquesta manera la cadena d'adequació no es veu interrompuda pel bloc d'aïllament, aconseguint així simplificar el circuit i garantir més precisió en la mesura.

Conseqüentment, s'ha fet necessari incorporar un ADC extern. Com es comentarà més endavant en l'apartat 4.2.4, l'ADC escollit ha estat el *MCP3302*. Aquest integrat disposa d'una interfície de comunicació per bus SPI [15]. Al mig d'aquest bus SPI entre l'ADC i el port de comunicació de la màster és el lloc on s'ha disposat el bloc d'aïllament.

Un bus SPI disposa de 4 línies *MISO*, *MOSI*, *CLK* i *CS*. La primera d'elles és d'entrada i la resta de sortida respecte la màster. Aquest fet és important perquè els dispositius d'aïllament són unidireccionals.

Per aïllar aquestes senyals s'ha col·locat un *ISO7241C* de la marca *Texas Instruments*. Aquest integrat consta de 4 opto-acopladors digitals d'alta velocitat, ideal ja que el que s'està tractant amb línies de comunicació digital (SPI) amb una freqüència de rellotge de 80 MHz. A més a més, els 4 opto-acopladors estan disposats tres en un sentit i un en el sentit oposat, fet que s'adequa perfectament a les necessitats d'aquesta interfície de comunicació [13].

Comentar també, que aquest integrat és capaç de suportar una tensió màxima d'aïllament de 4 kV [13], més que suficient per l'aplicació que aquí es planteja.

- Incorporació d'un ADC extern, per tal de poder complir amb el requeriment HW-4.2, referent al sensat de tensió per tal de comprovar l'estat dels contactors i el requeriment SYS-7 (apartat 4.1), referent a l'aïllament entre el sistema d'alt i baix voltatge.

De nou, d'acord a els requeriments mencionats a l'inici d'aquest apartat, s'extreu per una banda, que faran falta 2 sensors de corrent. Els sensors escollits han estat els següents:

- *LEMLA 55-P-SP1*: aquest sensor es trobava inclòs en tot l'equip de desenvolupament (apartat 3.4). És d'efecte hall i té un rang de mesura de ± 100 A, per aquest motiu s'ha destinat per mesurar el corrent del camí de potència (HW-3.1.1). A més a més comentar que la tensió d'alimentació és de ± 15 V, coincidint amb la tensió d'alimentació d'altres components de la màster i que per tant no s'haurà de disposar d'un sistema d'alimentació específic [11].
- *LEM HX 03-P*: aquest sensor presenta un rang de mesura de ± 9 A, més que suficient per mesurar el corrent de balanceig (HW-3.1.2), que serà com a màxim al voltant dels 2 A en ambdós sentits. Aquest sensor, igual que l'anterior, presenta una tensió d'alimentació de ± 15 V [10].

Per altra banda, s'identifiquen dos sensats de tensió principals:

- Sensat de la tensió total de la bateria (HW-3.1.3).
- Sensat de la tensió de la bateria de 12 V (HW-3.1.4).
- Sensat de tensió per a la comprovació de l'estat dels contactors (HW-4.2).

Degut a que s'ha prestat especial atenció a l'adequació d'aquestes senyals, s'ha destinat un apartat específic en aquesta memòria on es tractaran amb detall cadascuna de d'elles (apartat 4.3).

Pel que fa al compliment dels requeriments d'aïllament, s'ha fet necessari incorporar un ADC extern, destinat a adquirir totes aquelles senyals que es troben en contacte directe amb l'alta tensió.

L'ADC escollit ha estat un *MCP3302* de la marca *Microchip*. Els motius principals pels quals s'ha optat per aquest han estat les següents:

- 12 bits de resolució [15].
- Disposa de 4 entrades, que permetrà prendre, la mesura de la tensió total de la bateria i les mesures necessàries per a la comprovació de l'estat dels contactors [15].
- Permet realitzar mesures diferencials entre les entrades. Necessari per a la comprovació de l'estat dels contactors [15].
- Interfície de comunicació SPI. Interfície de comunicació disponible en el

microcontrolador [15].

- Experiència prèvia amb aquest integrat.

4.2.5. Control de contactors

Per controlar els contactors, degut a que aquests treballen a una tensió d'alimentació diferent a la resta del sistema, i el consum d'aquests és considerable, no és possible governar-los directament amb una sortida digital del microcontrolador.

La solució per la que s'ha optat ha estat que les senyals de govern dels contactors, provinents del microcontrolador, es connecten a la porta d'un transistor MOSFET, i aquest alhora controla el pol negatiu d'alimentació dels contactors, com es mostra en la següent figura Fig. 4-5:

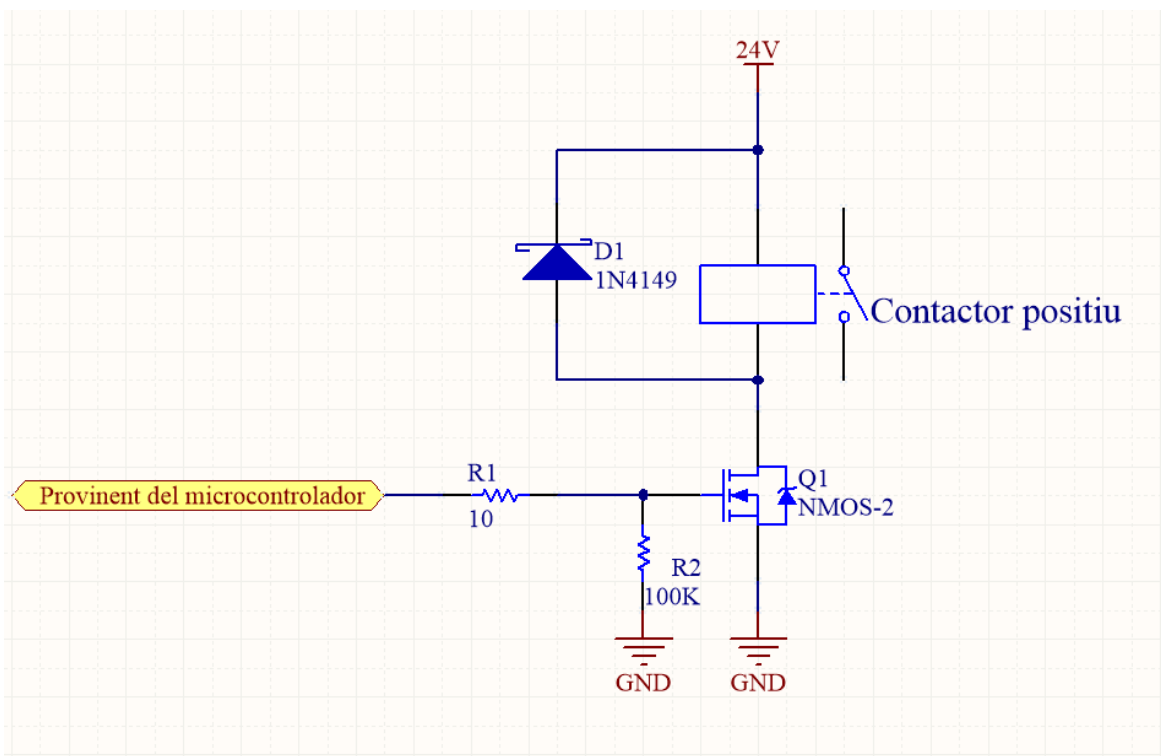


Fig. 4-5: Esquema de govern dels contactors.

La resistència $R1$ de $10\ \Omega$ actua com a limitant de corrent i així protegir la sortida del microcontrolador de possibles sobre-corrents. La $R2$ de $100\ k\Omega$ actuar com a resistència de *Pull down* garantint que el MOSFET interrompi el pas de corrent entre el drenador i el sortidor en desaparèixer la senyal de control del microcontrolador.

Pel que fa al díode $D1$ protegeix la màster de sobretensions quan el contactor s'obra.

4.2.6. Elements de visualització/control

Tot i que en els requeriments no ho especifiquen (apartat 4.1). S'ha cregut adient afegir elements de visualització, en aquest cas LEDs, als quals, posteriorment per software se'ls hi pot donar una funcionalitat concreta i així ajudar al propi desenvolupament d'aquest.

En la següent figura (Fig. 4-6), es mostra l'esquema de connexionat dels LEDs:

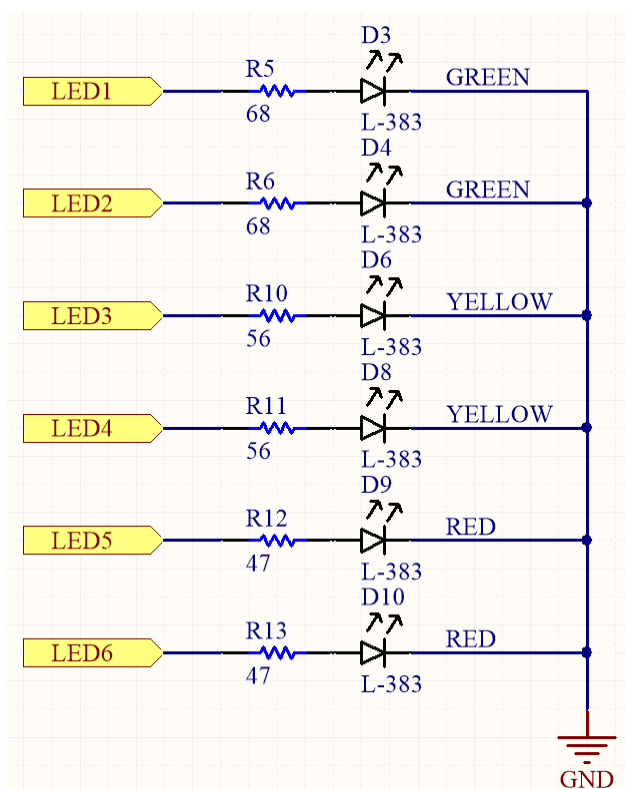


Fig. 4-6: Esquema de connexionat dels LEDs.

Per al càlcul de les resistències $R5$, $R6$, $R10$, $R11$, $R12$ i $R13$, s'ha partit de la tensió de polarització en directa dels LEDs en funció del color (Taula 4-1):

Color	Verd	Groc	Vermell
Tensió de polarització [V]	2,1	2,1	1,8

Taula 4-1: Tensions de polarització.

Com es pot veure en la figura Fig. 4-6 tots els LEDs es troben connectats, per un costat, al pol negatiu de l'alimentació (GND en la figura Fig. 4-6). Per tant, per il·luminar-los és necessari imposar una tensió en les línies *LED1*, *LED2*, *LED3*, *LED4*, *LED5*, i *LED6*. Aquestes estan

directament connectades a 6 sortides digitals del microcontrolador, això implica que quan el microcontrolador activi qualsevol d'aquestes sortides imposarà una tensió de 3,3 V, ja que aquesta és la tensió d'operació del microcontrolador [19].

Imposant un corrent de 20 mA i utilitzant la llei d'ohm (*Ec 4-1*):

$$V = R \cdot I \quad (\text{Ec 4-1})$$

Prenent com a tensió la diferencia entre la tensió de treball del microcontrolador de 3,3 V i la tensió de polarització en directa (*Taula 4-1*). Aïllant de (*Ec 4-1*) es troba:

$$R = \frac{V}{I} \quad (\text{Ec 4-2})$$

A partir de (*Ec 4-2*), i ajustant el valor obtingut a valors normalitzats de resistències es té (*Taula 4-2*):

Resistència	Valor [Ω]	Resistència	Valor [Ω]
R5	68	R11	56
R6	68	R12	47
R10	56	R13	47

Taula 4-2: Valor de les resistències.

4.2.7. Alimentacions

Aquest grup funcional, és l'encarregat de subministrar la potència necessària per fer funcionar l'electrònica de baix voltatge i fer actuar els contactors.

Com s'ha explicat en l'apartat 3.4, l'equip de desenvolupament, tenia previst que tota l'electrònica de baix voltatge s'alimentés de la bateria de 12 V, previsió que s'ha respectat en aquest projecte. Per tal efecte incorporava dos convertidors.

Per a l'electrònica de 5 V s'utilitza un convertidor *Buck*. Per altra banda, per l'alimentació dels contactors, degut a que aquest model concret s'alimenten a 24 V s'empra un convertidor *Boost*. Ambdós convertidors amb una tensió d'entrada de 12 V (Fig. 4-7).

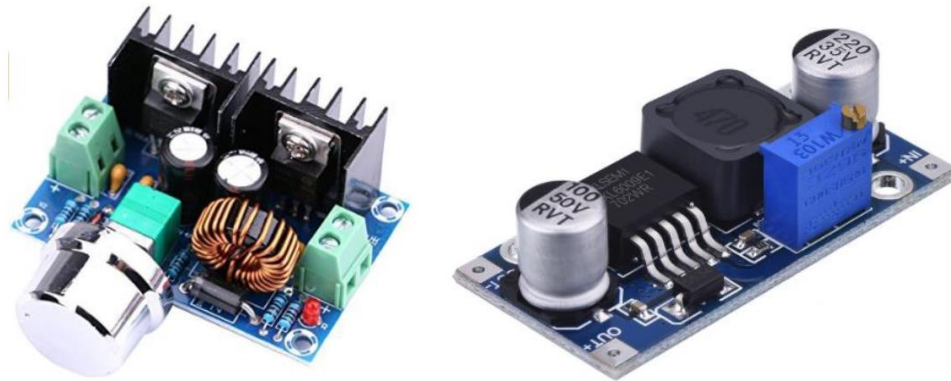


Fig. 4-7: A l'esquerra el convertidor Buck per a l'electrònica de 5 V. A la dreta el convertidor Boost per alimentar els contactors.

No obstant, en la màster existeixen grups funcionals que o bé requereixen d'una alimentació aïllada (apartat 4.2.3) o bé requereixen d'altres nivells de tensió (apartat 4.2.4). Degut a que aquestes necessitats no venent associades a un gran consum energètic, s'ha equipat, en la mateixa màster, de diferents convertidors dc-dc.

En concret per alimentar els amplificadors operacionals (apartat 4.2.4) s'utilitzen dos convertidors dc-dc, per passar de 5 V a ± 15 V. Comentar que per motius de disponibilitat per part dels subministradors de components electrònics, ha estat necessari posar-n'hi dos per tal de disposar de suficient potència i alimentar tots els amplificadors sense problemes. Els convertidors emprats són IQ0515S de la marca XP Power.

Finalment pel que far al bloc funcional d'aïllament entre alt i baix voltatge (apartat 4.2.3). S'ha utilitzat, igual que en el cas anterior, un convertidor dc-dc amb una tensió d'entrada de 5 V i una tensió de sortida de ± 5 V però amb referència aïllada, d'aquesta manera s'aconsegueix per una banda establir l'aïllament entre alt voltatge i baix voltatge (apartat 4.2.3) i alimentar l'amplificador operacional (apartat 4.2.4). En concret s'ha escollit el ITA0505S del mateix fabricant XP Power.

4.3. Adequació de senyals analògiques

Una de les parts més crítiques de la màster és l'adquisició de senyals analògiques.

D'aquesta informació se'n derivaran accions de control tan importants com: permetre o no tan la càrrega com la descàrrega de la bateria, comprovar en quines condicions es troben els contactors, i realitzar càlculs interessants com per exemple l'estat de càrrega de la bateria.

Per aquests motius, s'ha prestat especial atenció a l'adequació de les senyals analògiques especificades en l'apartat 4.2.4, per tal d'aprofitar al màxim els rangs dels ADC.

Per fer-ho, el punt de partida han estat els rangs de mesura dels sensors per un costat, i el rang de tensió d'entrada dels ADC per una altre, amb aquesta informació s'ha ajustat una funció de transferència, la qual permet passar de la magnitud que llegeix el sensor a una tensió admissible a l'entrada de l'ADC i viceversa.

Com es veurà en els subapartats que venen a continuació (4.3.1, 4.3.2, 4.3.3 i 4.3.4), en tots els casos aquesta funció de transferència correspon a una recta. Aquest fet implica, que per passar de la magnitud llegida pel sensor, a la tensió d'entrada del ADC n'hi ha prou amb aplicar a aquesta primera un guany i afegir-hi un terme independent (offset a partir d'ara) (Ec 4-3):

$$V_{ADC} = Sensor \cdot Guany + Offset \quad (Ec\ 4-3)$$

Físicament per tal d'aplicar els diferents guanys i offsets a les senyals s'han emprat amplificadors operacionals, juntament amb divisors de tensió per generar les tensions de referència necessàries.

Principalment s'han utilitzat els amplificadors operacionals en tres configuracions:

- **Amplificador no inversor:**

Aquesta configuració permet aplicar a la senyal un guany comprés entre 1 i ∞ (Ec 4-4) (Fig. 4-8) [25].

$$V_{sortida} = V_{entrada} \cdot \left(1 + \frac{R4}{R3}\right) \quad (Ec\ 4-4)$$

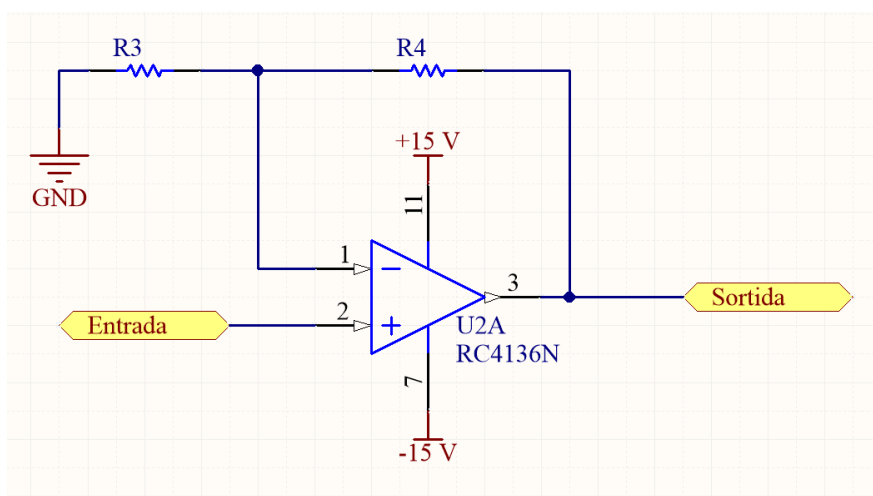


Fig. 4-8: Configuració no inversora.

- **Amplificador inversor:**

La configuració anterior, no permet aplicar a la senyal un guany inferior a la unitat (Ec 4-4). Per aconseguir aquests guanys, s'han emprat amplificadors operacionals amb configuració inversora (Fig. 4-9) [25]:

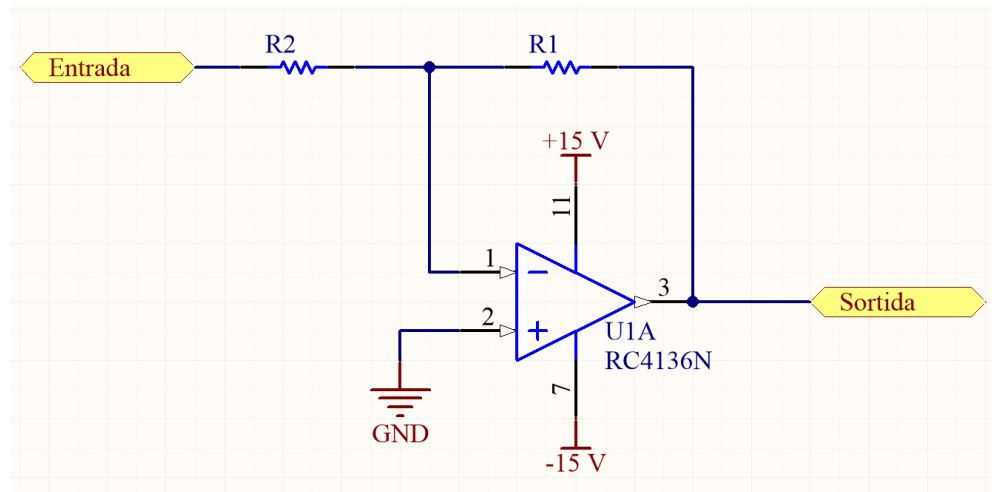


Fig. 4-9: Configuració inversora.

Aquesta configuració presenta la següent equació característica (Ec 4-5) [25]:

$$V_{sortida} = V_{entrada} \cdot \left(-\frac{R1}{R2} \right) \quad (Ec\ 4-5)$$

Amb aquesta configuració, és possible aconseguir un conjunt de guanys més ampli, no obstant la senyal de sortida apareix invertida, en polaritat, respecte la senyal d'entrada.

- **Amplificador restador:**

Aquesta configuració s'utilitza per afegir l'offset de les diferents funcions de transferència (Fig. 4-10) [22].

Respon a la següent equació característica (Ec 4-6) [22]:

$$V_{sortida} = V_{entrada\ 1} - V_{entrada\ 2} \quad (Ec\ 4-6)$$

Tal i com s'aprecia en la figura següent (Fig. 4-10), aquesta configuració requereix que totes les resistències ($R5$, $R6$, $R7$ i $R8$) tinguin el mateix valor [22].

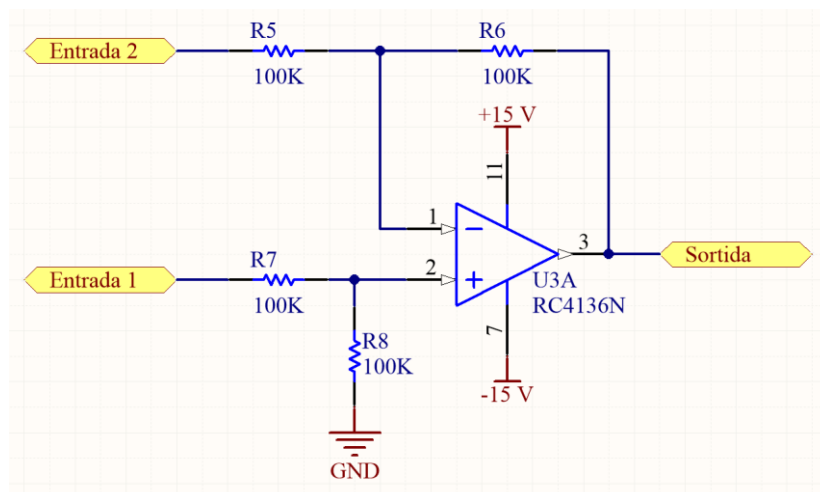


Fig. 4-10: Configuració restador.

A continuació s'analitza, per a cadascuna de les senyals (apartat 4.2.4), tota la cadena d'adequació.

4.3.1. Sensat de la tensió de la bateria de baix voltatge

Per mesurar voltatge, no és necessari un sensor com a tal, ja que aquesta magnitud coincideix amb la que és capaç d'adquirir l'ADC. Per tant, només caldrà ajustar el rang de tensions que pot presentar la bateria de baix voltatge al rang de tensions admissibles per l'ADC (Taula 4-3).

	Rang bateria baix voltatge [V]	Rang d'entrada a l'ADC [V]
Valor mínim	8	0,5
Valor màxim	13	3

Taula 4-3: Comparació rangs de tensió.

Els valors límits de tensió de la bateria de baix voltatge han estat extrets de la fulla d'especificacions del propi fabricant de la bateria [16], afegint un cert marge de robustesa

enfront a petites desviacions causades per les toleràncies dels components.

Pel que fa als valors d'entrada de l'ADC, de nou són els que marca el fabricant del microcontrolador reduint-los un cert grau, també per motius de robustesa del sistema [15].

Amb aquest valors, es possible ajustar-hi una recta, descrita per la següent expressió (Ec 4-7):

$$V_{entrada\ ADC} = V_{bateria\ 12\ V} \cdot 0,5 - 3,5 \quad (Ec\ 4-7)$$

De l'expressió anterior (Ec 4-7), s'extreu que el guany és de 0,5 i l'offset de -3,5.

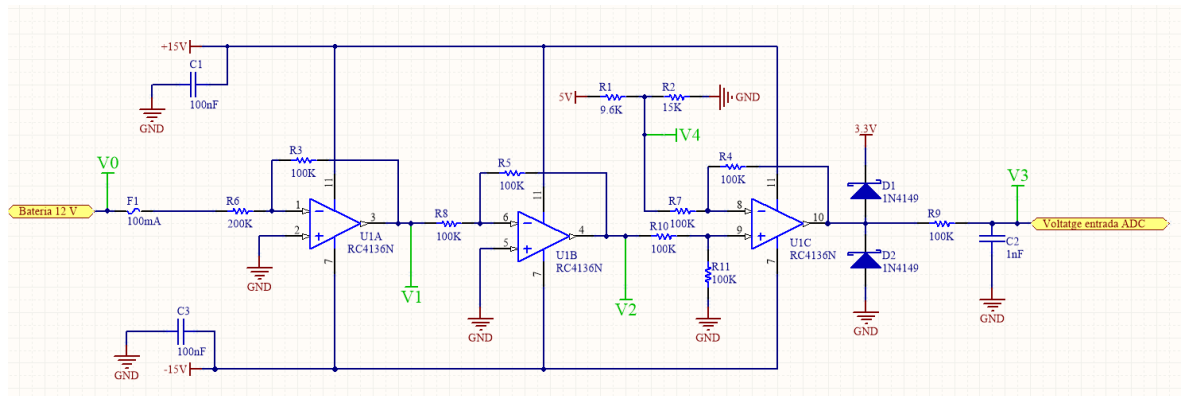


Fig. 4-11: Adequació de la senyal de sensat de la tensió de la bateria de baix voltatge.

En la figura anterior (Fig. 4-11), es mostra tot el circuit d'adequació. Per començar, primer de tot s'hi ha disposat un fusible de 100 mA just a l'entrada de la senyal per tal de protegir la màster enfront a sobrecorrents. A continuació, amb el primer amplificador (U1A), amb configuració inversora, juntament amb les resistències R3 i R6, se l'hi aplica a la senyal un guany de -0,5 (Ec 4-8).

$$V1 = V0 \cdot \left(-\frac{R3}{R6}\right) = -0,5 \cdot V0 \quad (Ec\ 4-8)$$

Amb el U1B, de nou amb configuració inversora, se li canvia el signe al guany (Ec 4-9):

$$V2 = V1 \cdot \left(-\frac{R5}{R8}\right) \rightarrow V2 = -0,5 \cdot V0 \cdot \left(-\frac{R5}{R8}\right) \rightarrow V2 = 0,5 \cdot V0 \quad (Ec\ 4-9)$$

Respecte a l'offset de -3,5, s'ha generat aquest valor de tensió mitjançant un divisor resistiu a partir de 5 V, amb les resistències R1 i R2 (Ec 4-10):

$$V4 = 5 \cdot \frac{R2}{R1 + R2} = 3,048 (\approx 3,5) \quad (Ec\ 4-10)$$

Aquest offset generat, se li ha restat a la senyal a través del $U1C$, amb configuració restador (Ec 4-11). Aconseguint així la funció de transferència desitjada (Ec 4-7):

$$V3 = V2 - V4 \rightarrow V3 = 0,5 \cdot V0 - 3,048 \quad (\text{Ec 4-11})$$

Per acabar l'adequació, s'ha protegit l'entrada de l'ADC amb els dos díodes $D1$ i $D2$ que saturen la senyal provinent de l'adequació, en cas de que aquesta superi els valors màxims de tensió admissibles per l'ADC. I se l'hi ha afegit un filtre passa-baixos amb una freqüència de tall d'aproximadament 1,6 kHz (Ec 4-12). S'ha determinat la freqüència de tall realitzant proves amb diferents valors per a $R9$ i $C2$, i comprovant el resultat amb l'oscil·loscopi, fins a trobar una senyal neta sense soroll.

$$f = \frac{1}{2 \cdot \pi \cdot R9 \cdot C2} = 1,592 \text{ kHz} \quad (\text{Ec 4-12})$$

A continuació (Fig. 4-12) es mostra el resultat de la simulació del circuit de la figura Fig. 4-11:

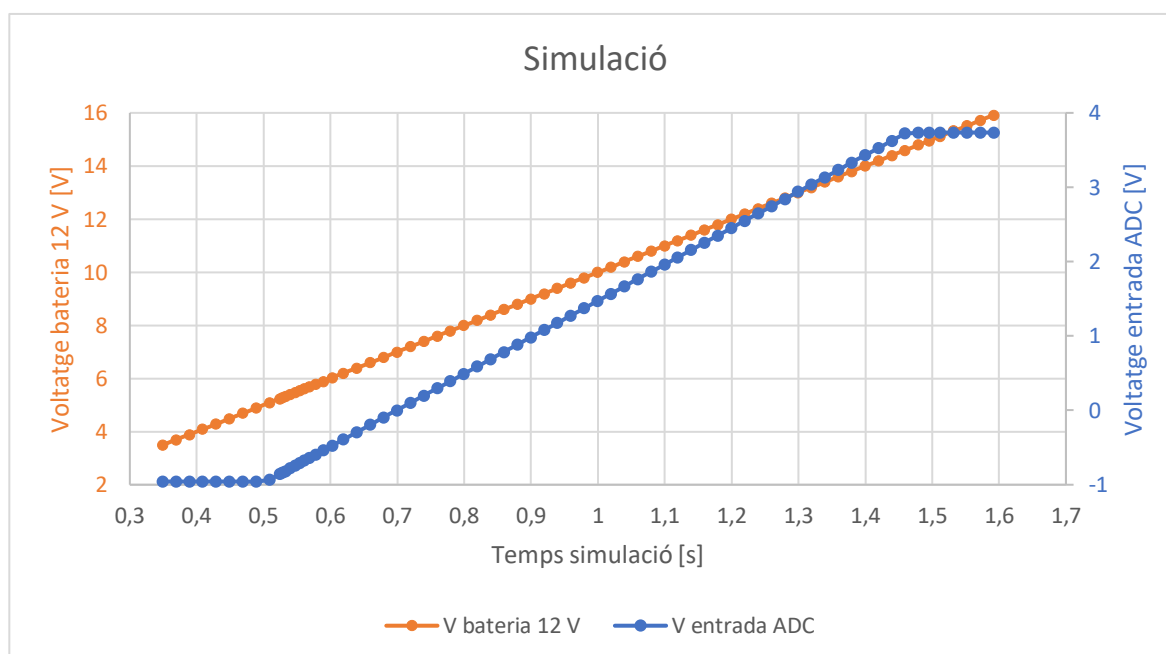


Fig. 4-12: Resultat de la simulació.

4.3.2. Sensat del corrent de balanceig

A diferència del cas anterior (apartat 4.2.4), en aquest cas es fa necessari l'ús d'un sensor, ja que la magnitud que es mesura és corrent. Tal i com s'ha descrit en l'apartat 4.2.4, s'ha utilitzat el sensor *LEM HX 03-P* [10].

Aquest sensor, transforma el corrent que passa a través seu a una tensió de sortida, de manera proporcional [10], per tan el punt de partida d'aquesta adequació és (Taula 4-4):

	Corrent de balanceig [A]	Sortida del sensor de corrent [V]	Rang d'entrada a l'ADC [V]
Valor mínim	-3	-4	0
Valor màxim	3	4	3,3

Taula 4-4: Comparativa de rangs.

Comentar, que en aquest cas no s'ha donat cap marge de seguretat al rang d'entrada de l'ADC, ja que el marge que s'ha donat als altres rangs, és suficient per absorbir qualsevol desviació degut a les toleràncies.

Ajustant la sortida del sensor amb l'entrada de l'ADC s'obté la següent expressió (Ec 4-13):

$$V_{\text{entrada ADC}} = V_{\text{sortida sensor}} \cdot 0,412 + 1,650 \quad (\text{Ec 4-13})$$

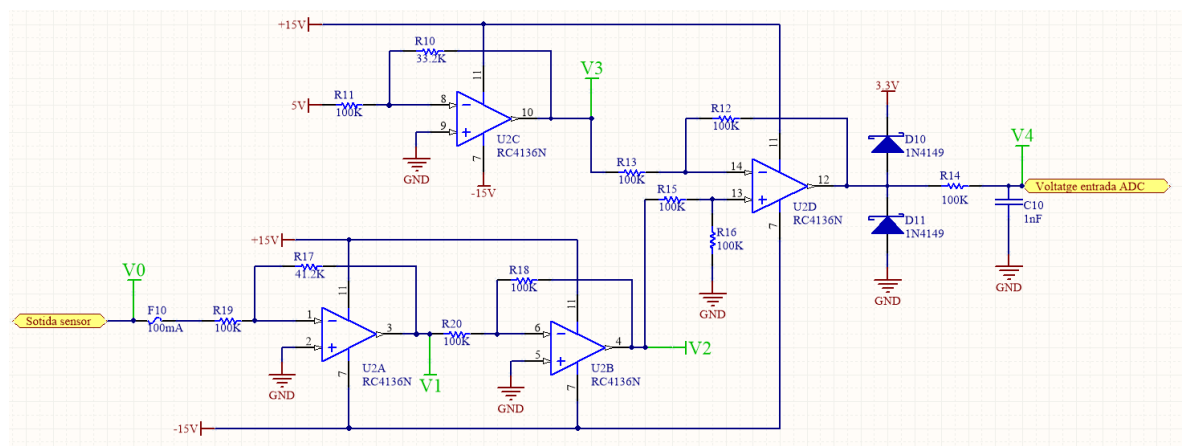


Fig. 4-13: Adequació de la senyal de sensat del corrent de balanceig.

La figura anterior (Fig. 4-13), mostra el circuit complet d'adequació el qual s'explica amb deteniment a continuació:

La sortida del sensor de corrent després de passar pel fusible *F10*, passa a través de l'amplificador *U2A*, que amb configuració inversora l'hi aplica a la senyal un guany de -0,412 (Ec 4-14). Acte seguit passa a través del *U2B* que l'hi canvia el signe al guany (Ec 4-15).

$$V1 = V0 \cdot \left(-\frac{R17}{R19}\right) = -0,412 \cdot V0 \quad (\text{Ec 4-14})$$

$$V2 = V1 \cdot \left(-\frac{R18}{R20}\right) = 0,412 \cdot V0 \quad (\text{Ec 4-15})$$

Per aconseguir l'offset de 1,650, s'ha utilitzat el *U2C*, amb configuració inversora, i la tensió de partida de 5 V. D'aquesta manera s'aconsegueix una senyal de valor -1,650 (Ec 4-16), que després serà restada de la senyal provinent del sensor a través del *U2D* (Ec 4-17). Aconseguit la funció de transferència obtinguda anteriorment (Ec 4-13).

$$V3 = 5 \cdot \left(-\frac{R10}{R11}\right) = -1,660 (\approx -1,650) \quad (\text{Ec 4-16})$$

$$V4 = V2 - V3 = 0,412 \cdot V0 + 1,660 \quad (\text{Ec 4-17})$$

Igual que en cas anterior (apartat 4.3.1), l'adequació acaba amb la protecció dels díodes *D10* i *D11* i el filtre passa-baixos amb la freqüència de tall de 1,6 kHz, aproximadament.

Per últim es mostra el resultat de la simulació del circuit complet d'adequació (Fig. 4-14):

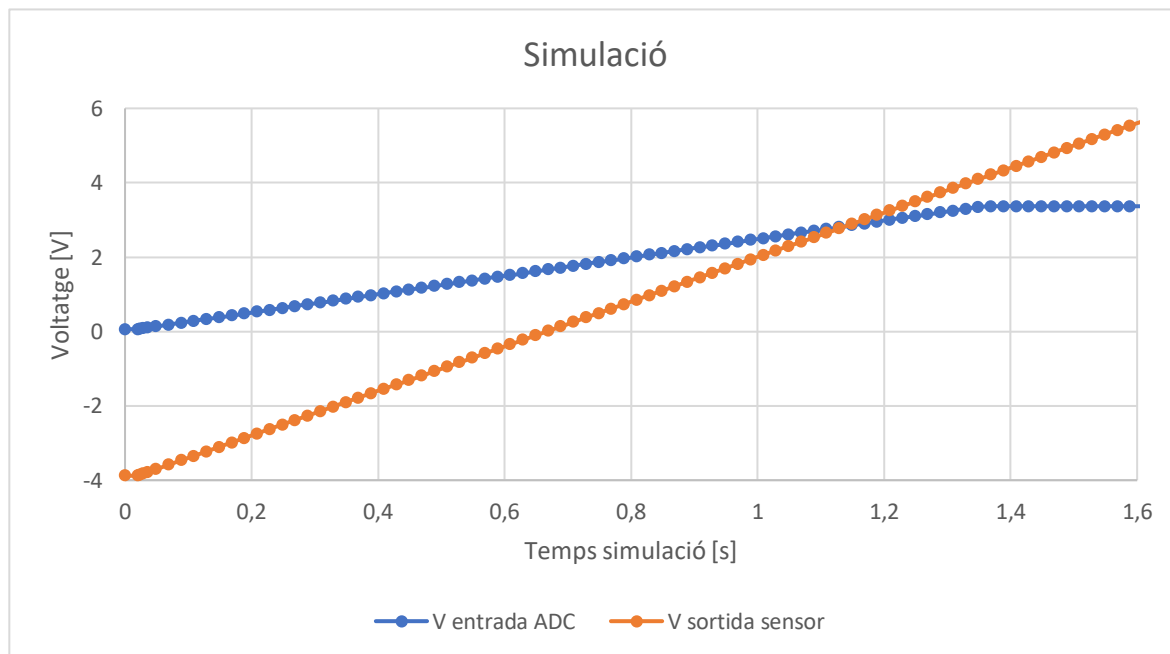


Fig. 4-14: Resultat de la simulació.

4.3.3. Sensat de la tensió de la bateria d'alt voltatge

Per adquirir la tensió de la bateria d'alt voltatge, igual que en el primer cas (apartat 4.3.1). No és necessari cap sensor.

No obstant, tal i com s'ha explicat en apartats anteriors (4.2.3 i 4.2.4). Aquesta senyal es adquirida per un ADC extern, el qual presenta un rang de tensions admissibles a la seves entrades diferent [15] (Taula 4-5):

	Rang bateria alt voltatge [V]	Sortida divisor resistiu [V]	Rang d'entrada a l'ADC [V]
Valor mínim	30	2,093	0,5
Valor màxim	65	4,535	5

Taula 4-5: Comparativa de rangs.

El rang de tensions que presenta la bateria d'alt voltatge (Taula 4-5) és massa elevat i s'hi es connectés aquesta senyal directament a una de les portes de l'amplificador operacional es destruiria, ja que no es capaç de admetre tensions tan elevades [18]. Per aquest motiu el primer pas de l'adequació és disminuir aquest rang de tensió a valors admissibles per l'amplificador. Per aconseguir-ho s'ha dispostat d'un divisor resistiu (Fig. 4-15) (Ec 4-18):

$$V1 = V0 \cdot \frac{R30}{R29 + R30} \quad (\text{Ec 4-18})$$

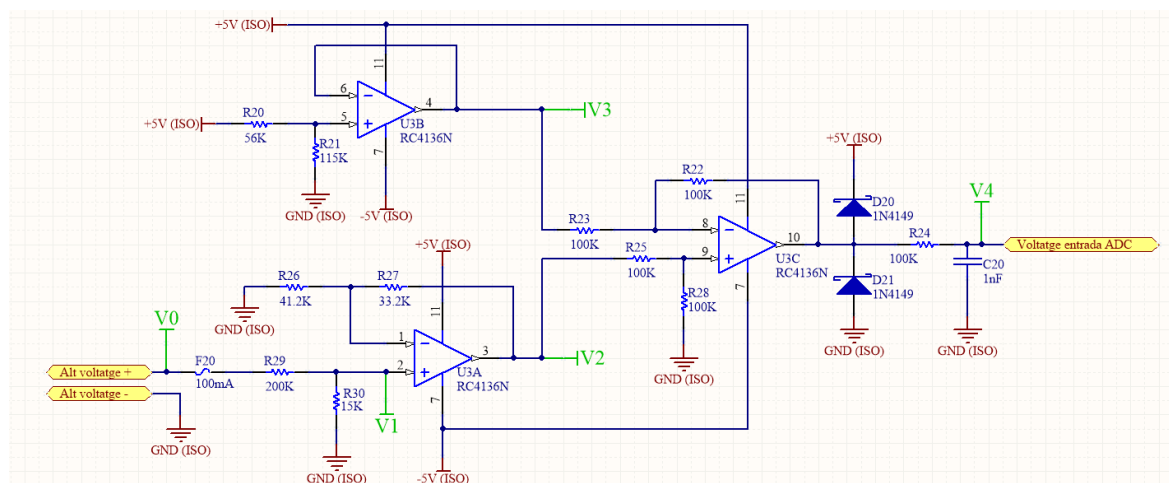


Fig. 4-15: Adequació de la senyal de sensat de la tensió de la bateria d'alt voltatge.

Un cop disminuït els nivells de tensió del rang de la bateria d'alt voltatge, es pot ajustar una recta entre la sortida del divisor resistiu i l'entrada de l'ADC (Taula 4-5) (Ec 4-19):

$$V_{\text{entrada ADC}} = V_{\text{sortida divisor}} \cdot 1,843 - 3,357 \quad (\text{Ec 4-19})$$

A partir d'aquest punt el tractament de la senyal és homòleg a la de les senyals ja vistes en els apartats anterior (4.3.1 i 4.3.2).

Per una banda, se li aplica el guany de 1,843, a través del $U3A$, en configuració no inversora (Ec 4-20). Per una altra banda, es genera la tensió necessària per l'offset de 3,357 mitjançant un divisor resistiu a partir de 5 V (Ec 4-21); seguit d'un amplificador en configuració seguidor de tensió per donar més estabilitat a aquesta senyal.

$$V2 = V1 \cdot \left(1 + \frac{R27}{R26}\right) = 1,805 \cdot V1 (\approx 1,843 \cdot V1) \quad (\text{Ec 4-20})$$

$$V3 = 5 \cdot \frac{R21}{R20 + R21} = 3,362 (\approx 3,357) \quad (\text{Ec 4-21})$$

Ambdues senyals s'uneixen a través del $U3C$, en configuració restador (Ec 4-22). Aconseguint la funció de transferència desitjada (Ec 4-19).

$$V4 = V2 - V3 = 1,805 \cdot V1 - 3,362 \quad (\text{Ec 4-22})$$

Aquesta senyal també passa pel filtre passa-baixos amb una freqüència de tall de 1.6 kHz. També s'ha protegit l'entrada de l'ADC enfront a sobre-tensions amb els díodes $D20$ i $D21$. Per últim, a continuació (Fig. 4-16) s'observa el comportament de la senyal d'entrada a l'ADC en front a la tensió de la bateria d'alt voltatge (aquests valors són resultats de la simulació).

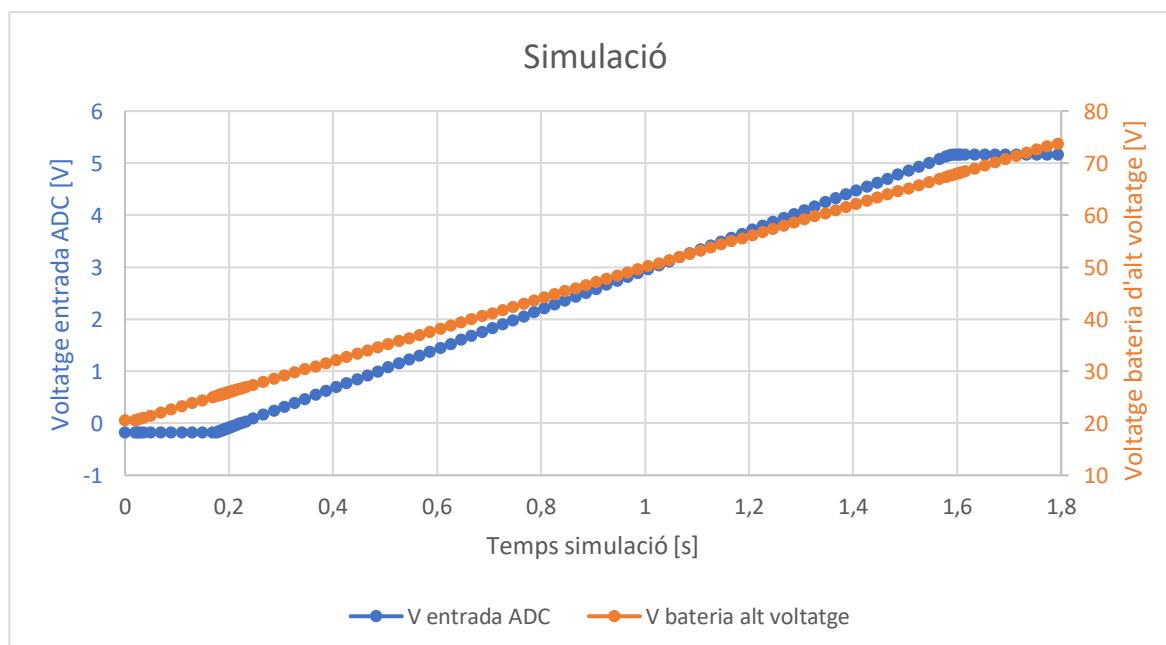


Fig. 4-16: Resultat de la simulació.

4.3.4. Sensat del corrent del BUS d'alt voltatge

Per mesurar el corrent que circula pel BUS d'alt voltatge, s'ha disposat del sensor *LEM LA 55-P-SP1* (apartat 4.2.4). Consisteix en un transductor de corrent, és a dir, la sortida d'aquest sensor correspon a un corrent proporcional al corrent que està mesurant, en concret presenta una relació 1:2000 [10] (Taula 4-6).

	Corrent BUS alt voltatge [A]	Sortida del sensor de corrent [A]	Convertidor corrent- voltatge [V]	Rang d'entrada a l'ADC [V]
Valor mínim	-50	-0,025	3	0
Valor màxim	50	0,025	-3	3,3

Taula 4-6: Comparativa de rangs.

Abans de poder aplicar, el mateix procediment que amb la resta de senyals, es necessari convertir la sortida del sensor de corrent. Cal un canvi de magnitud, de corrent a tensió. Per fer-ho s'ha emprat l'amplificador *U4A* (Fig. 4-17), en una configuració especial denominada amplificador de transresistència.

Aquesta configuració permet construir una font de tensió constant independent a la càrrega i controlada per corrent [5]. Aquesta configuració presenta la següent equació característica (Ec 4-23), amb la que s'han calculat els valors que es mostren en la Taula 4-6

$$V1 = I \cdot (-R45) \quad (\text{Ec 4-23})$$

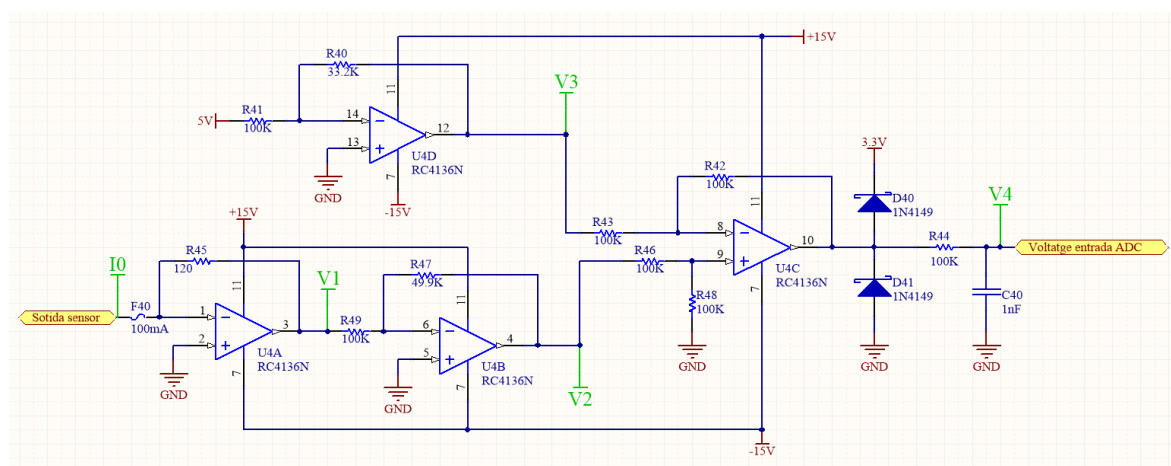


Fig. 4-17: Adequació de la senyal de sensat del corrent del bus d'alt voltatge.

Un cop transformada la sortida del sensor en una senyal de tensió se hi aplica el mateix

procediment que amb les senyals anteriors.

Comenta abans, que igual que en l'apartat 4.3.2, no s'ha afegit marge de seguretat al rang d'entrada de l'ADC, ja que el marge que s'ha deixat en el rang de corrent a mesurar, és suficient per cobrir qualsevol desviació.

L'ajust entre aquesta senyal de tensió i l'entrada al ADC, dona com a resultat la següent expressió (Ec 4-24):

$$V_{entrada\ ADC} = V_{sortida\ convertidor} \cdot (-0,550) + 1,650 \quad (Ec\ 4-24)$$

El guany se l'hi aplica a través del *U4B* (Ec 4-25), i l'offset es genera a partir de 5 V i l'*U4D* (Ec 4-26):

$$V2 = V1 \cdot \left(-\frac{R47}{R49}\right) = -0,499 \cdot V1 (\approx -0,550 \cdot V1) \quad (Ec\ 4-25)$$

$$V3 = 5 \cdot \left(-\frac{R40}{R41}\right) = -1,660 (\approx -1,650) \quad (Ec\ 4-26)$$

Les dues senyals s'uneixen en l'*U4C* (Ec 4-27), per aconseguir la funció de transferència objectiu (Ec 4-24):

$$V4 = V2 - V3 = -0,550 \cdot V1 + 1,660 \quad (Ec\ 4-27)$$

S'ha aplicat el mateix procés de protecció i filtratge que en la resta de senyals ja descrites (apartats 4.3.1, 4.3.2 i 4.3.3).

Per últim el resultat de la simulació (Fig. 4-18):

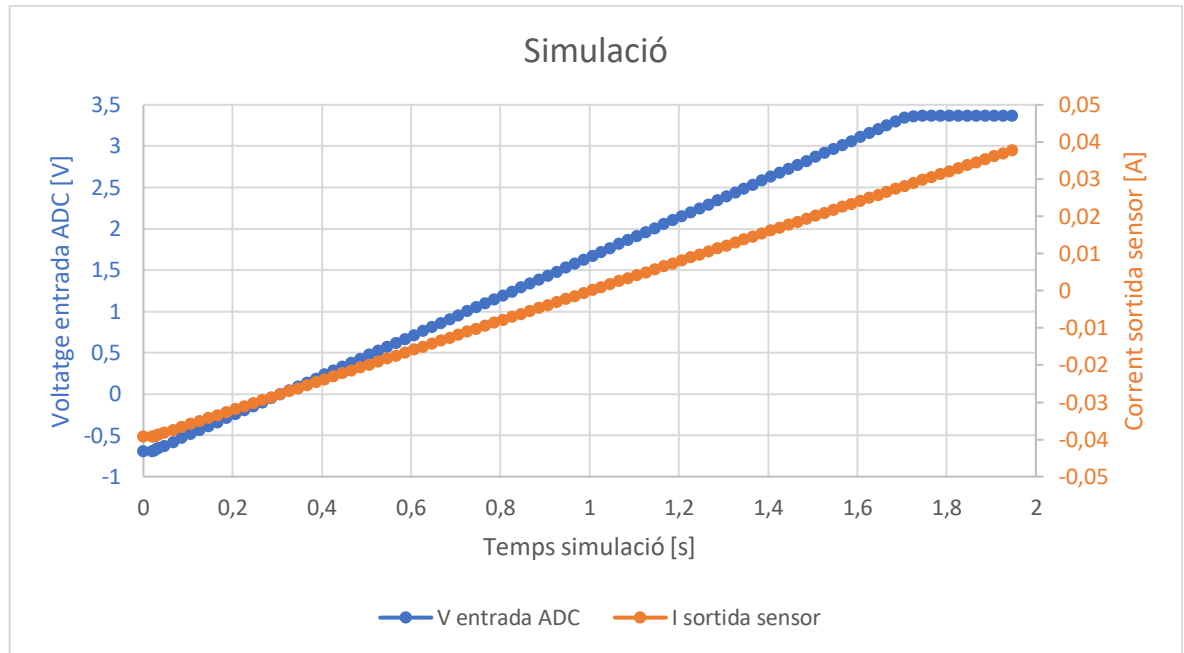


Fig. 4-18: Resultat de la simulació.

4.3.5. Sensat de tensió diferencial per a la comprovació de l'estat dels contactors.

Per explicar com s'ha implementat, la comprovació de l'estat dels contactors, es pren com a punt de partida el següent esquema (Fig. 4-19)

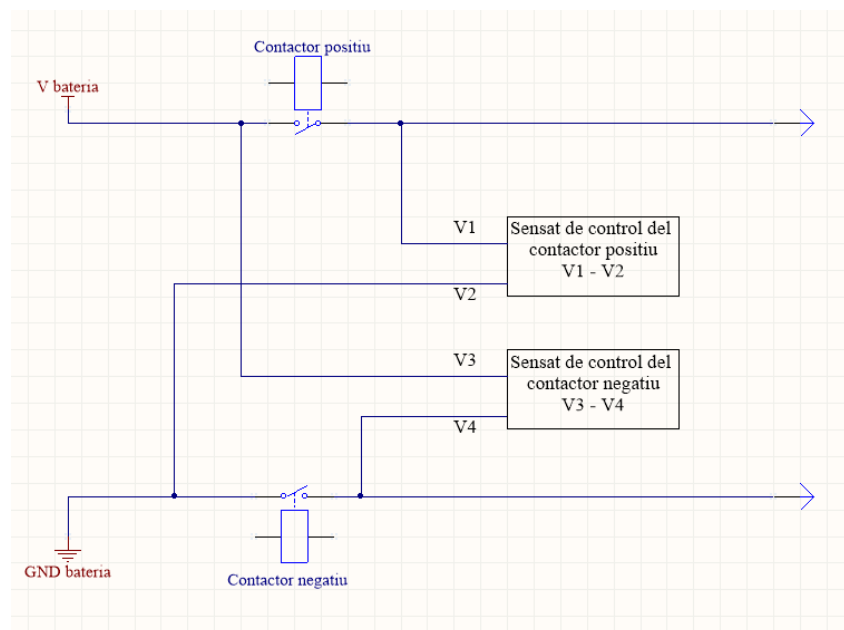


Fig. 4-19: Esquema de sensat de tensió per al control dels contactors.

Com que la finalitat d'aquesta mesura, no és conèixer el valor exacte de tensió, sinó assegurar mitjançant una mesura de tensió, que els contactors es troben un l'estat desitjat, no es fa necessària una adequació tan cuidada com la dels apartats anteriors.

Per tant, l'adequació en aquestes mesures es basa en divisors resistius, que directament redueixen els rangs de tensió de la bateria d'alt voltatge a valors de tensió admissibles per l'ADC (Taula 4-5).

En la figura anterior (Fig. 4-20), es mostren els diferents circuits d'adequació per a les mesures diferencials.

Els indicadors V1, V2, V3 i V4 fan referencia als punts de mesura de la Fig. 4-19.

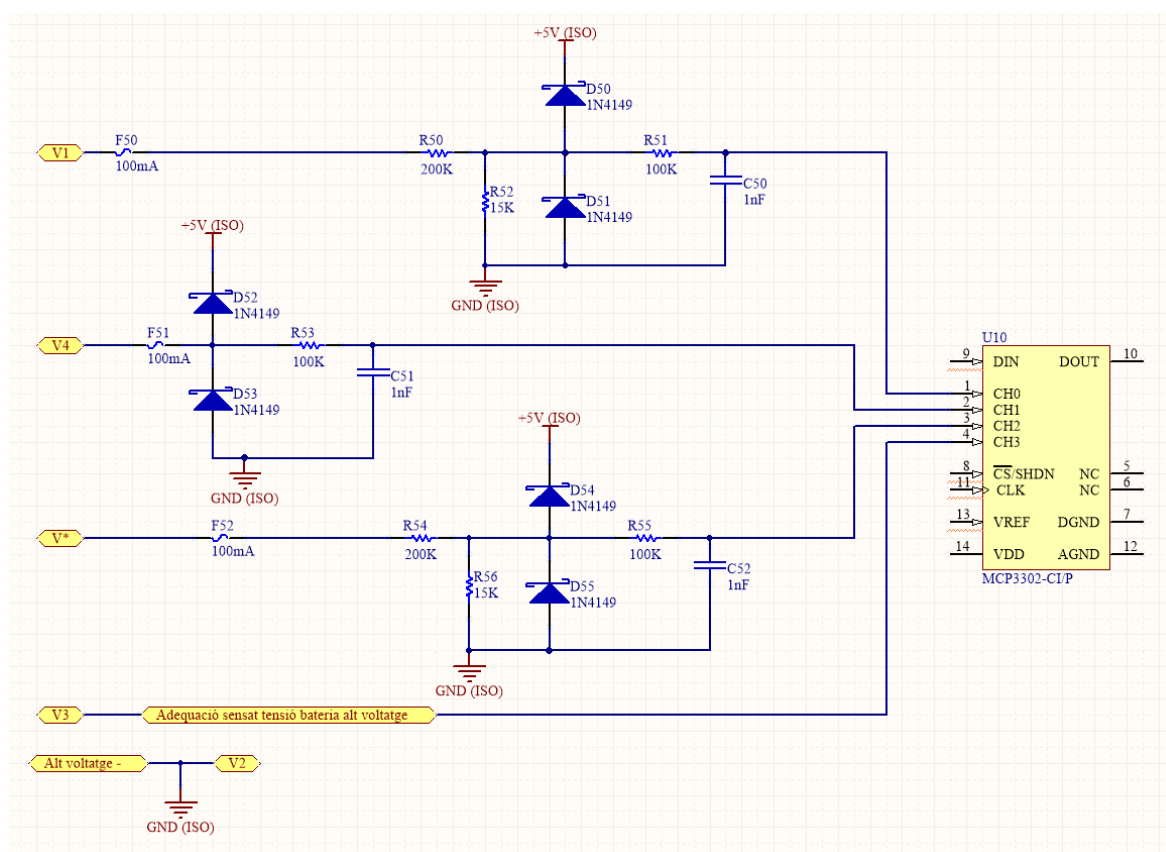


Fig. 4-20: Adequació de les mesures diferencials.

Com es pot apreciar (Fig. 4-20), totes les senyals a banda de estar adequades amb els divisors resistius, passen per una etapa de protecció contra sobre-tensions i un filtre passa-baixos, amb una freqüència de tall de 1,6 kHz.

Per últim comentar, que el punt de sensat V_3 coincideix amb la sortida dels sistema d'adequació del sensat de tensió de la bateria d'alt voltatge (apartat 4.3.3). I el punt de sensat V^* , s'ha deixat llest per si es vulgues en algun futur realitzar alguna altra mesura especial, com podria ser, la continuïtat d'un fusible.

4.4. Disseny de la placa de circuit imprès

Per a la implementació física de la màster s'ha optat per dissenyar una placa de circuit imprès (PCB a partir d'ara). D'aquesta manera es simplifica i s'integra el connexionat de tots els components alhora que es guanya fiabilitat.

Abans d'iniciar el disseny de la PCB, s'han pres les següents decisions:

- Per tal de facilitar el desenvolupament i possibles canvis de components al llarg del projecte, tots els components seran de tipus orifici passant i no es col·locaran components sota de la placa de desenvolupament del microcontrolador (Fig. 4-2).
- Per simplificar el disseny de la placa només es posaran components en una cara de la PCB.
- Per tal de reduir el cost de fabricació de la placa, només es disposarà de dues capes per l'enrutat.

El disseny del lay-out de la placa, es a dir, la distribució de tots els components de la màster sobre la placa i el connexionat entre ells, s'ha realitzat per blocs funcionals (apartat 4.2).

S'han agrupat tots els components que pertanyen al mateix bloc funcional (apartat 4.2), i s'han disposat de tal manera que el contorn exterior formés una forma senzilla de quadrat o rectangle (Fig. 4-21).

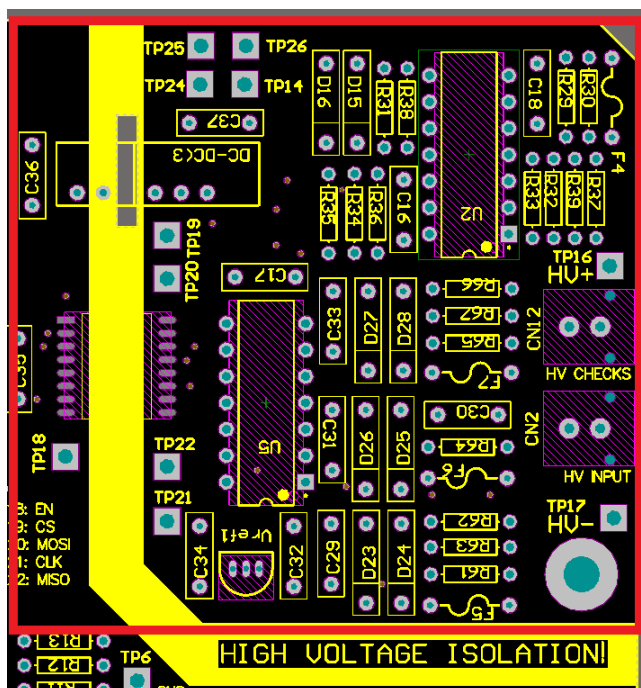


Fig. 4-21: Disposició dels components per a l'adquisició i adequació de les mesures d'alt voltatge.

Un cop disposats tots els components de cada bloc funcional per separat, unir-los resulta més senzill ja que tots ells presenten formes simples de fàcil encaix (Fig. 4-22).

Aquesta és una manera de minimitzar la superfície de PCB necessària per encabir-hi tots els components.

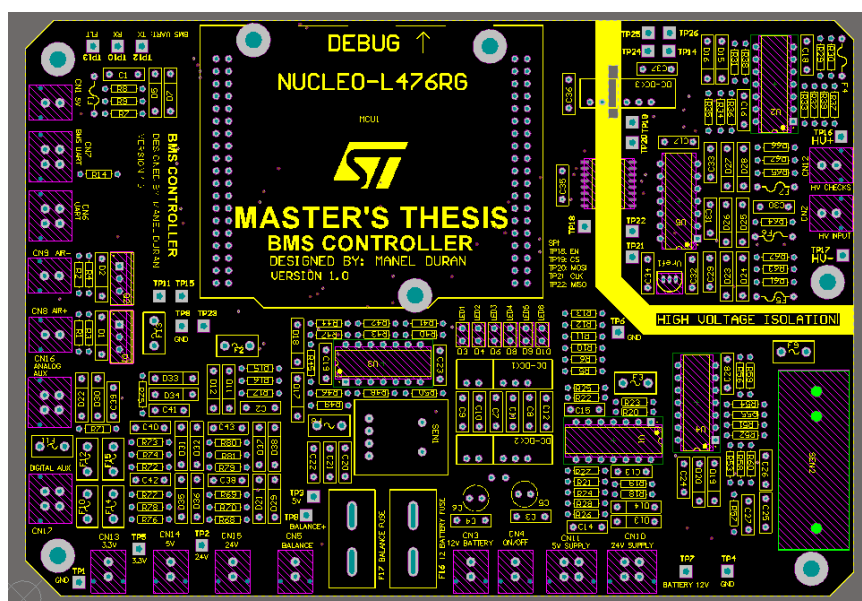


Fig. 4-22: Distribució de tots els components de la màster.

Per últim un cop enrutats tots els blocs funcionals entre si, en l'espai sobrant en cadascuna de les dues capes se hi ha posat un camp de massa per tal de fer la màster robusta sobre possibles interferències electromagnètiques (Fig. 4-23).

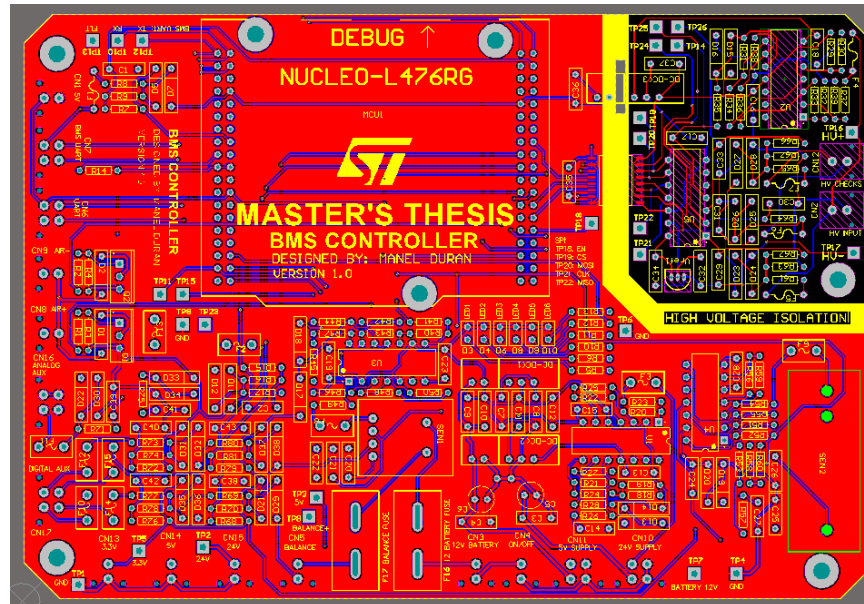


Fig. 4-23: PCB enrutada i amb el pla de massa de la capa superior.

En l'annex B d'aquest document es trobarà una visió més detallada per capes del disseny de la PCB.

La PCB ha estat fabricada per la empresa AII/PCB. Finalment es mostra el resultat un cop fabricada la PCB (Fig. 4-24) i amb tots els components muntats (Fig. 4-25):

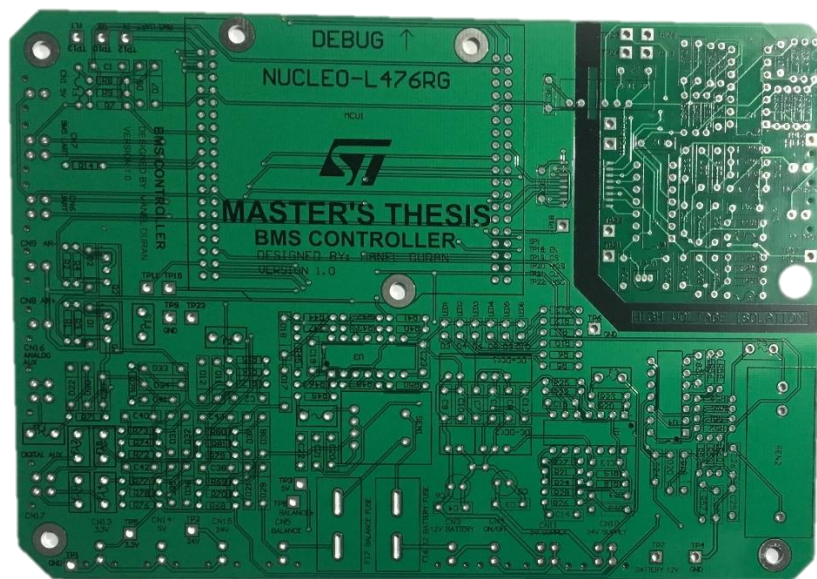


Fig. 4-24: PCB fabricada.

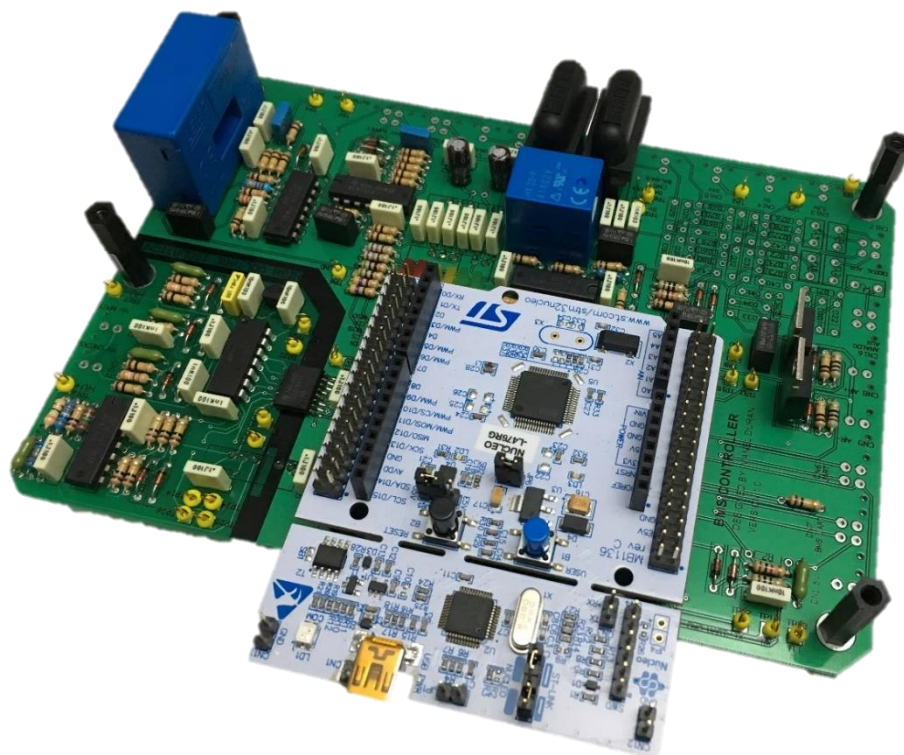


Fig. 4-25: PCB muntada.

5. Disseny Software

5.1. Requeriments

De la mateixa manera que amb el disseny del hardware (apartat 4). El disseny del software ha partit dels requeriments. Primer fent un anàlisi dels requeriments de sistema, es a dir, des d'una visió més general. Per a continuació extreure els requeriments específic de software.

Degut a que els requeriments de sistema, són des d'un punt de vista general de tot el conjunt, no hi ha diferencia entre requeriments de sistema de software i requeriments de sistema de hardware. Així doncs els requeriments de sistema són els descrits en l'apartat 4.1.

A partir d'aquests s'han extret els requeriments de software (abreujat SW a partir d'ara):

- SW-1.1: S'ha d'habilitar un bus de comunicació UART per establir comunicació amb les slaves.
- SW-2.1: El sistema ha d'executar un algoritme inicial de configuració i control. Si aquest algoritme no es supera de manera satisfactòria no ha de ser possible cap intercanvi energètic.
- SW-2.2: Els algoritmes que generen accions de control sobre la bateria han d'estar implementats de manera que es recorrin de manera cíclica i amb una freqüència suficientment elevada per garantir la seguretat dels sistema.
- SW-2.3: En cas de que alguna de les senyals d'alarma s'activin. El sistema ha d'interrompre qualsevol de les tasques que estigui executant i passar a gestionar l'alarma en qüestió i prendre les accions pertinents.
- SW-3.1: S'han d'habilitar 3 canals de sensat per recollir les mesures dels sensors.
- SW-3.2: S'ha d'habilitar un bus de comunicació SPI per establir comunicació amb l'ADC extern, encarregat de prendre les mesures d'alt voltatge.
- SW-4.1: La màster ha de governar l'estat dels contactors en funció d'un seguit de condicions que es recolliran en una màquina d'estats.
- SW-5.1: La màster ha de disposar d'un algoritme amb capacitat d'estimar l'estat de càrrega de la bateria.
- SYS-6: S'ha d'habilitar un bus de comunicació UART per establir comunicació amb la interfície de control i govern del sistema.

5.2. Arquitectura

L'arquitectura del software, s'ha dissenyat seguint, en la mesura que ha estat possible, l'estàndard AUTOSAR [1].

AUTOSAR (AUTomotive Open System ARchitecture), és l'estàndard que s'utilitza en la indústria de l'automoció. Marca unes bases de com estructurar un software per tal, per una banda, d'independitzar al màxim possible el codi de la selecció del microcontrolador i poder reutilitzar fragments de codi d'altres projectes. Per una altra banda, garantir la compatibilitat entre sistemes dissenyats per diferents empreses que finalment s'integraran en un vehicle [8].

El que proposa l'estàndard és una arquitectura basada en capes cada cop més abstractes en referencia al microcontrolador [2]. Aquesta arquitectura de forma genèrica es presenta de la següent manera (Fig. 5-1):

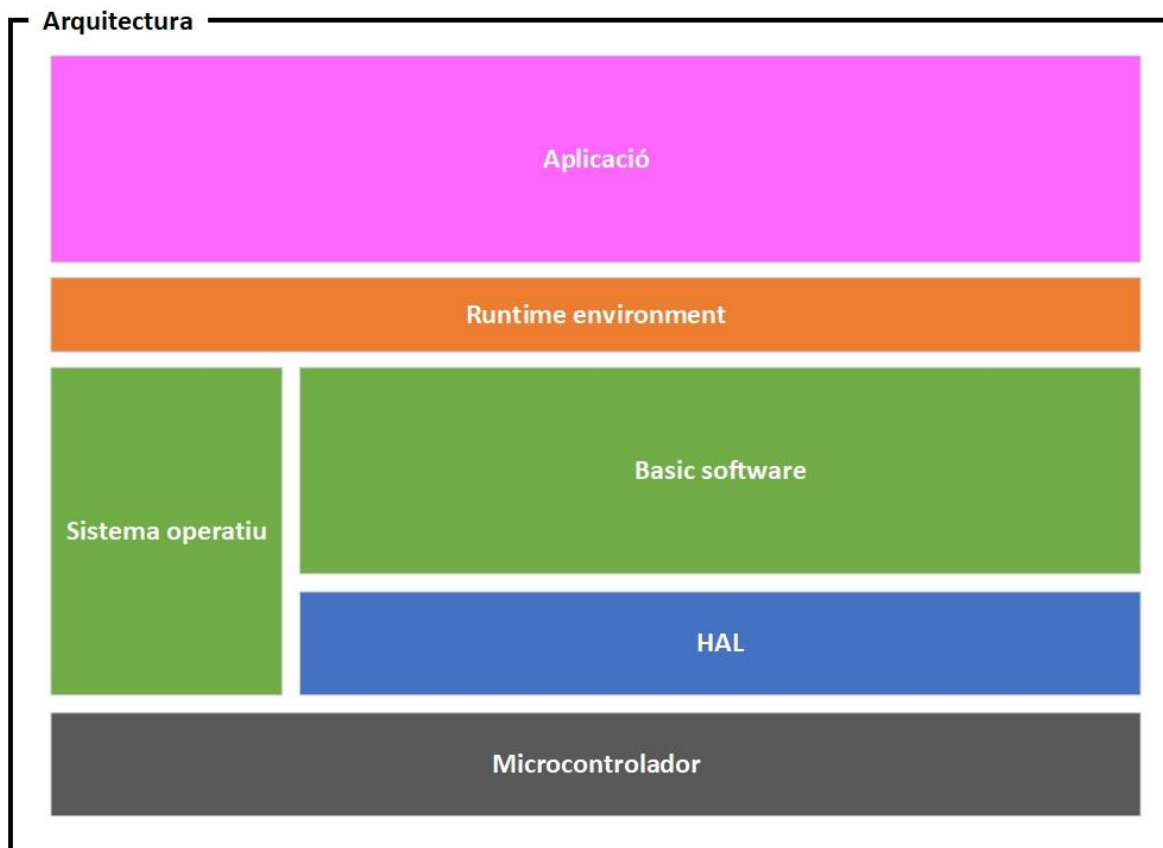


Fig. 5-1: Arquitectura genèrica d'un software basat en AUTOSAR [2].

Començant des de la part inferior cap a d'alt (Fig. 5-1), s'expliquen cadascuna de les capes:

- **Microcontrolador:** Aquesta capa fa referència al hardware, al microcontrolador des d'un punt de vista físic i material. És l'element que rebrà i executarà tot el codi; i serveix de punt de partida de l'arquitectura software.
- **HAL (Hardware Abstraction Layer):** És la primera capa en la que apareix codi com a tal, és la capa de més baix nivell i és l'encarregada d'escriure en els registres del microcontrolador, amb l'objectiu de configurar-lo i poder utilitzar els perifèrics que les capes més altes necessitin. Aquesta capa, es materialitza amb un conjunt de llibreries que subministra el propi fabricant del microcontrolador, en aquest cas ST [12].
- **Basic software:** Aquesta capa, de més alt nivell, constitueix un punt d'unió entre la capa HAL i la capa d'aplicació. Té la principal funcionalitat de posar a disposició de la capa d'aplicació un conjunt de serveis, com poden ser interfícies de comunicació, accés a la memòria disponible, govern de ports d'entrada/sortida, entre d'altres.
- **Sistema operatiu:** És una capa transversal, té com a principal funcionalitat configurar els registres necessaris del microcontrolador, per tal d'executar les tasques que marcarà la capa d'aplicació amb la periodicitat i prioritat que s'estableixi, a més a més és la capa encarregada de configurar el servei d'interrupcions.
- **Runtime environment:** Capa d'entrada a la d'aplicació. Aquesta capa proporciona un medi per on transferir la informació provinent de les capes inferiors cap a la d'aplicació i viceversa.
- **Aplicació:** És la capa de major nivell i amb major grau d'abstracció respecte el microcontrolador. És en aquesta capa, on es programen tots els algorismes de control i govern, és aquí on se l'hi proporciona al sistema la lògica que marquen els requeriments.

Aquesta arquitectura aplicada a aquest projecte queda de la següent manera (Fig. 5-2):

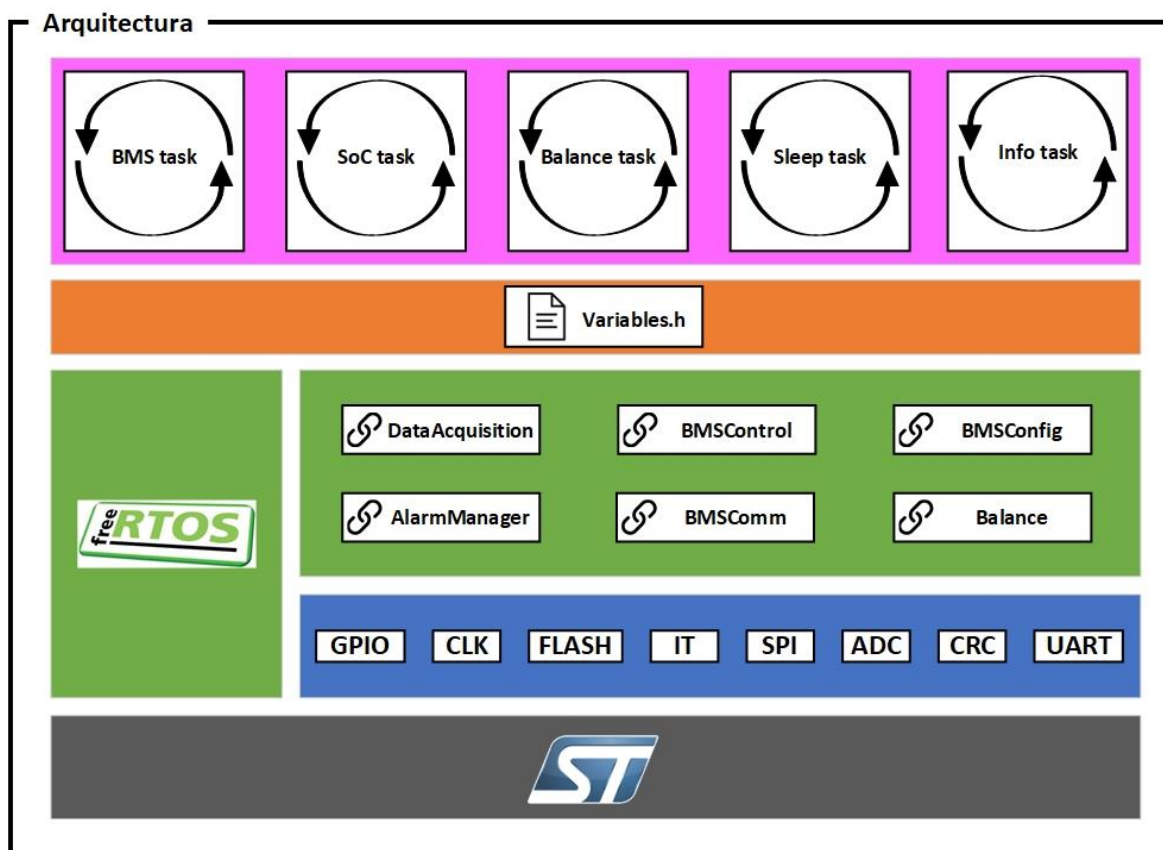


Fig. 5-2: Arquitectura software del projecte.

Com a primers comentaris destacar:

- 5 algoritmes molt diferenciats en la capa d'aplicació cadascun d'ells encarregat d'un conjunt de tasques, amb una periodicitat i prioritat concreta (aparta 0).
- Un arxiu denominat *Variables.h* on s'emmagatzemen els valors de totes les variables rellevants per al funcionament del sistema. Aquest arxiu actua com a *Runtime environment*.
- 6 components de *Basic software*, cadascun dels quals agrupa un conjunt de serveis amb funcionalitats similars (apartat 5.3).
- De totes els perifèrics dels quals disposa el microcontrolador i posa a l'abast la capa *HAL* s'utilitzen les següents: *GPIO*, *CLK*, *FLASH*, *IT*, *SPI*, *ADC*, *CRC*, *UART*.
- La configuració i gestió del sistema operatiu corre a càrrec de l'empresa *FreeRTOS*, la qual ha desenvolupat i distribueix un *kernel* de sistema operatiu, compatible amb la família de microcontroladors que s'utilitza en aquest projecte [24].

En els següents apartats s'expliquen en detall les diferents parts del software desenvolupats específicament per aquest projecte (apartats 5.3 i 5.4).

5.3. Components del *Basic software*

Com s'ha explicat en l'apartat anterior (apartat 5.2), la capa de *Basic software* es troba a mig camí entre la capa d'aplicació, on s'atorga al sistema de la lògica que marquen els requeriments i el microcontrolador, que serà qui executarà el codi.

Per fer-ho, aquesta capa ha estat constituïda per un conjunt de llibreries, anomenades components, els quals posen a disposició de l'aplicació un conjunt de serveis, classificats per funcionalitats. Alhora aquest component utilitzaran elements de la capa *HAL* per implementar els seus serveis.

A continuació, es presenten cadascun dels components de *Basic software* que s'han desenvolupat específicament per aquest projecte i els serveis de que disposen cadascun d'ells.

5.3.1. BMSConfig

Aquest component disposa de tots els serveis necessaris per configurar tots els elements del sistema, des de la comunicació entre dispositius, fins la inicialització de perifèrics, com per exemple els ADCs.

Els serveis disponibles són:

- *Addressing*: aquest servei recorre un algoritme que determina el nombre de slaves connectades i els hi dona a cadascuna una adreça única.
- *ComConfig*: en funció del nombre de slaves connectades en el sistema i la posició que ocupen en el bus, aquest servei escriu en els registres de comunicació de cada slave.
- *AcquisitionConfig*: s'escriu en els registres de les slaves els valors necessaris per configurar el sistema d'adquisició de dades d'aquestes mateixes.
- *LimitsConfig*: en funció del tipus de cel·la que porti la bateria, aquest servei configura els límits de control de les slaves. Si qualsevol mesura de tensió de cel·la supera algun dels límits configurats, la pròpia slave generarà automàticament una senyal d'alarma.
- *EMB_SPI_Init*: servei que prepara 4 ports d'entrada/sortida de les slaves com a port de comunicació per establir comunicació amb la resta d'integrats de la pròpia slave.

5.3.2. AlarmManager

Aquest component s'encarrega de gestionar totes les senyals d'alarma del sistema, controla

la veracitat de la informació més sensible i comprova la correcta execució de les comandes més crítiques.

- *DataCheck*: servei que recorre un algoritme que determina la veracitat de les dades de tensió de cel·la que provenen de les slaves. Aquest algoritme compara cada trama rebuda amb l'anterior, si la diferència entre ambdues trames es superior a un llindars marcats la trama en qüestió es descarta.
- *ClearFaults*: servei que borra els registres d'errors de les slaves.
- *GetFaults*: al contrari que l'anterior, aquest servei consulta els registres d'errors de les slaves i retorna informació en cas d'error.
- *ContactorsCheck*: la comanda d'obrir i tancar contactors és de vital importància, ja que aquests són els únics elements amb capacitat d'aïllar la bateria de l'exterior. Aquest servei comprova que l'estat dels contactors (oberts o tancats) concordi amb la senyal de govern. Per fer-ho es prenent lectures de tensió creuades entre els dos contactors i entre els dos costats de cadascun d'ells (apartat 4.3.5).
- *AddError*: alguns serveis poden generar codis d'error en cas de no poder completar alguna tasca. Quan això es dona el servei en qüestió invoca aquest que afegeix el codi d'error generat a una llista d'errors.
- *GetError*: aquest servei permet consultar un per un els codis d'error emmagatzemats en la llista.

5.3.3. Balance

Balance és un component del *Basic software* que posa a disposició tots els serveis necessaris per gestionar i controlar el procediment de balanceig.

- *EMB_Vset*: aquest servei controla un convertidor digital analògic instal·lat en cada slave que serveix per marcar el corrent de balanceig.
- *BalanceStart*: escollida la cel·la que ha de ser balancejada i la direcció del corrent (càrrega o descàrrega) genera i executa totes les comandes necessàries per dur a terme el balanceig.
- *BalanceStop*: interrompt el balanceig.

5.3.4. BMSComm

Aquest component s'encarrega de gestionar la comunicació amb les slaves.

- *Write*: aquest servei prepara la informació que se li passa i l'escriu en el registre i slave

desitjats.

- *Read*: contràriament a l'anterior aquest servei llegeix i retorna la informació emmagatzemada en un registre i una slave en concret.
- *CMDRead*: amb la mateixa funcionalitat que l'anterior, però destinat únicament a llegir i retorna els valors de tensió de cel·la mesurats per cada slave.
- *BroadWrite*: escriu la informació que se li passa en el registre marcat de totes les slaves del sistema.

5.3.5. BMSControl

Aquest component es diferencia de la resta ja que de tots ells és probablement el de major abstracció. Els serveis principals dels quals disposa són:

- *StateMachineUpdate*: en funció de la informació recollida per tots els sensors i slaves, aquest servei actualitza l'estat del sistema d'acord amb la màquina d'estats implementada.

La màquina d'estats, mostrada en la següent figura (Fig. 5-3), evoluciona cap a 3 estats segons 5 factors. Tant els estats com els factors s'expliquen a continuació:

Estats:

- *State 1: STANDBY*. En aquest estat tot el sistema funciona correctament i els contactors romanen oberts a la esperar de rebre l'ordre de tancar-los i iniciar una transferència energètica.
- *State 2: CLOSE*. Per altra banda, en aquest estat el sistema continua responnent correctament i amb els contactors tancats.
- *State 5: ERROR*. Aquest es l'estat al qual s'arriba si s'ha detectat qualsevol funcionament erroni del sistema.

Factors:

- *Energy_req*. Aquesta és la senyal, mitjançant la qual, si totes les mesures de control es superen satisfactòriament, es tancaran els contactors.
- *DataOK*. Aquesta senyal resulta de comprovar la veracitat de les dades adquirides.
- *Sentit del corrent*. Resultat de la mesura del sensor de corrent del bus d'alt voltatge (apartat 4.3.4).
- *MIN_Cell_V*. Representa la tensió mínima que pot assolir una cel·la. Aquest valor és indicat pel propi fabricant de la cel·la. Aquest paràmetre juntament amb la cel·la que presenta la mínima tensió determinaran el moment en que s'ha d'aturar un procés de descàrrega de la bateria.

- *MAX_Cell_V*. Igual que el factor anterior. Aquest representa la tensió màxima que pot suportar una cel·la sense comprometre el seu rendiment. Igual que amb el cas anterior, aquest valor el marca el fabricant de la cel·la i juntament amb la cel·la que presenta la tensió més elevada marcaran el final d'un procés de càrrega de la bateria.

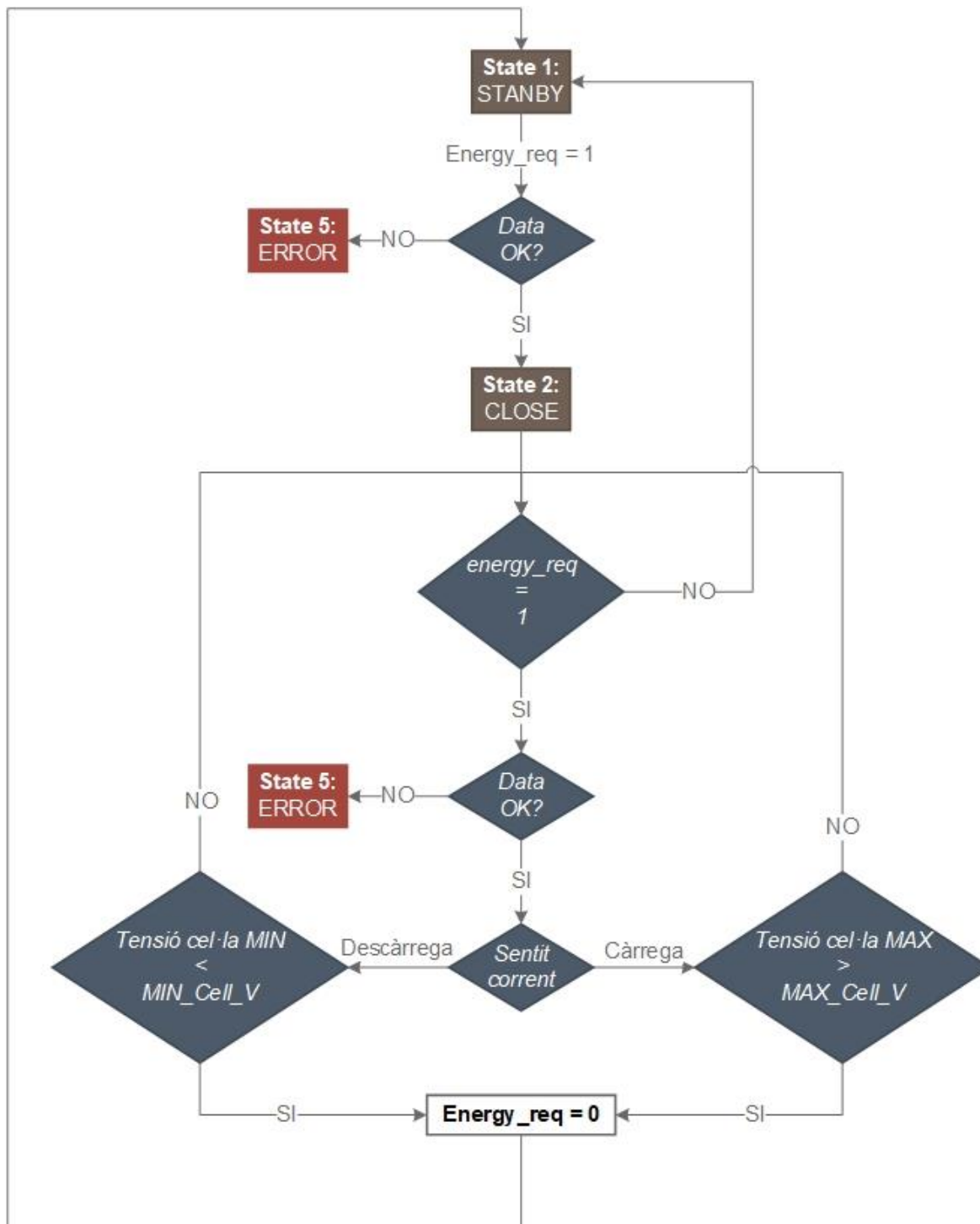


Fig. 5-3: Màquina d'estats del sistema.

- *StateMachine*: en funció del nou estat del sistema calculat pel servei anterior, aquest s'encarrega de generar i executar les senyals de govern dels contactors.

5.3.6. DataAcquisition

Tots els processos d'adquisició de dades, ja siguin provinents de les slaves com de sensors, estan gestionats per aquest component. Els serveis disponibles són:

- *GetVoltages*: aquest servei és l'encarregat, en primer lloc, de generar les comandes necessàries per a que les slaves prenguin una nova mesura de tensió de cel·la. En segon lloc, recuperar aquestes mesures dels registres de les slaves, i finalment interpreta els resultats.
- *ReadADC*: aquest servei pren una mesura del canal de l'ADC intern que se li marca. A més a més, aplica a la nova mesura la funció de transferència concreta que permet passar del valor digital a un valor de magnitud interpretable.
- *MCUTemp*: aquest microcontrolador disposa d'un sensor de temperatura intern, aquest servei pren la mesura d'aquest sensor.
- *ReadISOADC*: aquest servei genera les comandes per prendre la mesura d'interès de l'ADC extern (apartat 4.3.4 i 4.3.5) i aplica la funció de transferència necessària per passar del valor digital a un valor de magnitud interpretable.

5.3.7. PrintsDisplay

- *Send2Inter*: aquest servei recull tota la informació rellevant per a la interfície gràfica de usuari, la prepara i la envia pel bus de comunicació adient.

5.4. Sistema operatiu i aplicació

Un cop presentat tots els serveis del *Basic software* (apartat 5.3). Es tenen tots els elements necessaris que implementar els algorismes que donen sentit al sistema.

Els elements encarregats de implementar la lògica al sistema són la capa d'aplicació juntament amb el sistema operatiu.

Aquesta primera, aporta els diferents conjunts de comandes que ha de ser executades de manera seqüencial, mentre que el sistema operatiu marca en quin instant aquest conjunts han de ser recorreguts i en quin ordre.

A continuació es presenten cadascun d'aquest conjunts:

5.4.1. BMS task

Aquest algorisme és el de major prioritat, ja que en aquest és on s'adquireixen les mesures de tensió de les cel·les i es generen les accions de govern dels contactors.

Realment aquest algorisme és subdivideix en dos. Un que només s'executa una vegada, en posar el marxa el sistema. I un cop superat amb èxit es comença a recorre de manera cíclica un segon algorisme amb una periodicitat de 100 ms.

En les següents figures (Fig. 5-4 i Fig. 5-5) es detallen cadascun dels algorismes:

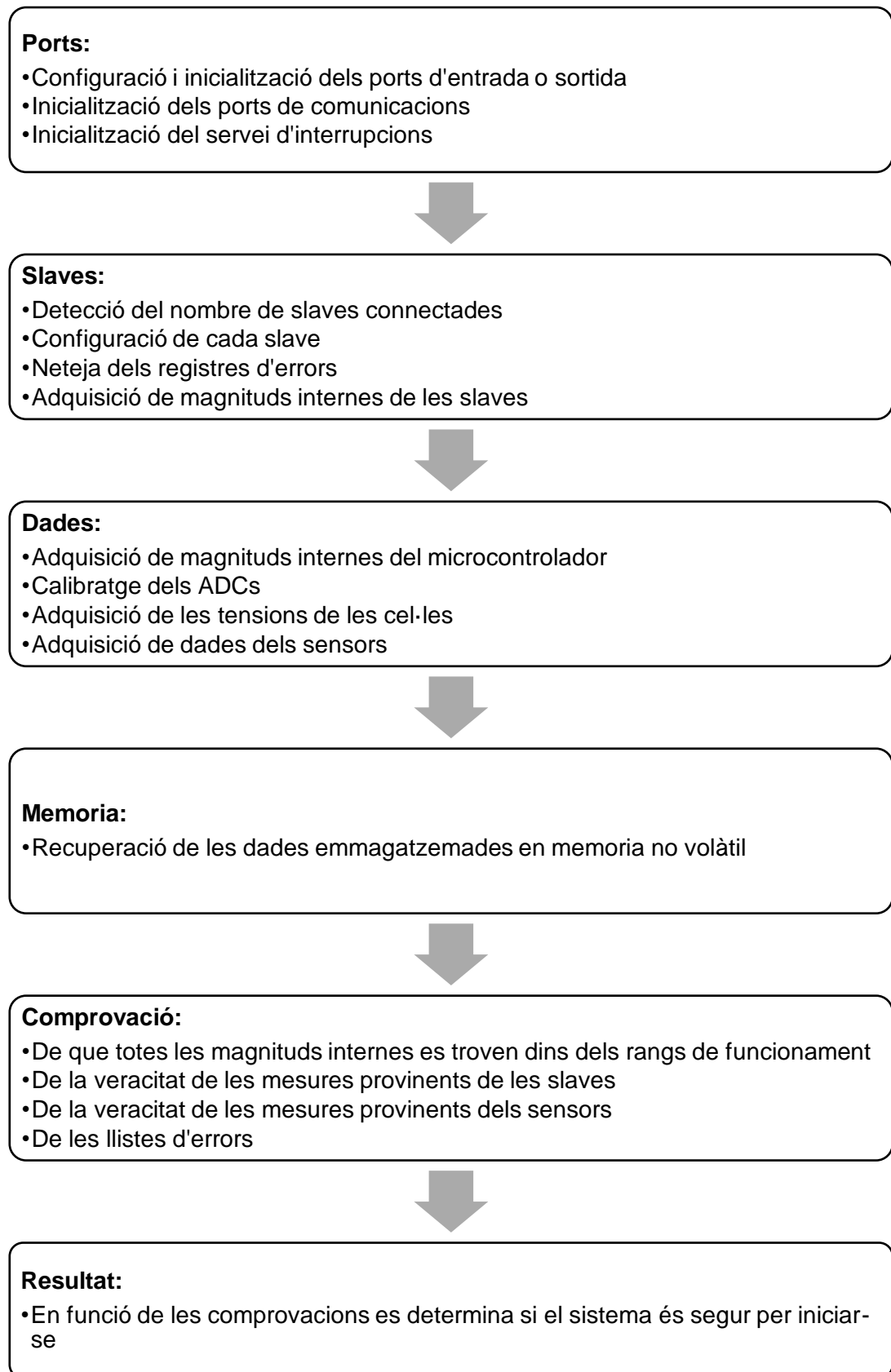


Fig. 5-4: Algorisme d'inicialització del sistema.

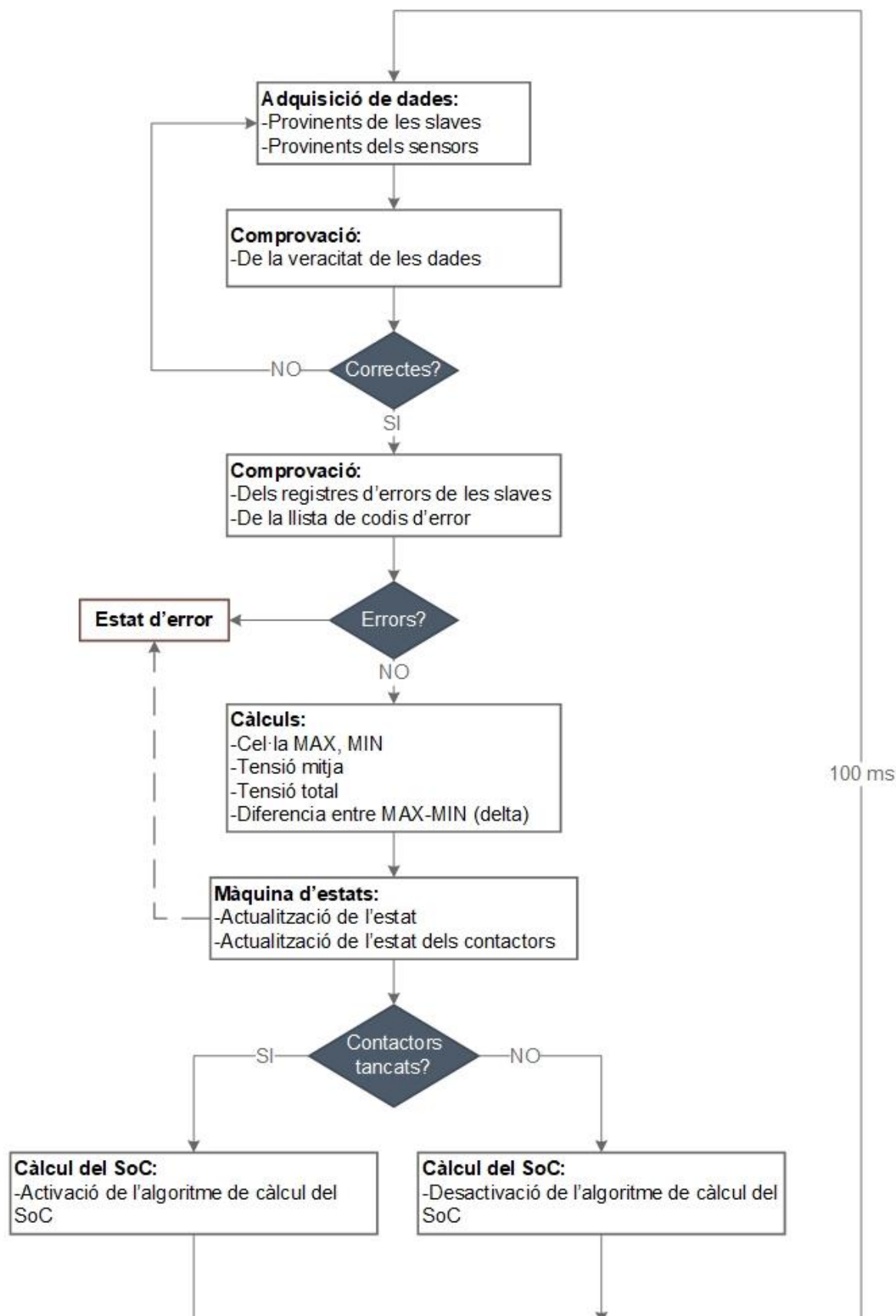


Fig. 5-5: Algorisme principal del BMS task

5.4.2. SoC task

Aquest algoritme és l'encarregat de prendre les mesures i realitzar els càlculs pertinents amb la finalitat d'aportar una aproximació sobre l'estat de càrrega de la bateria.

L'estat de càrrega d'una bateria o SoC (de l'anglès *State of Charge*) és defineix com la quantitat d'energia útil restant en la bateria en comparació amb l'energia que presenta aquesta en plena càrrega [4].

L'estat de càrrega d'una bateria és un paràmetre que es troba fortament lligat amb la capacitat de la cel·la. Aquest fet provoca que l'estimació del SoC sigui un càlcul molt complex ja que la capacitat de la cel·la varia en funció de molts factors com ara la corrent de descàrrega, la temperatura, els cicles d'ús entre d'altres [4].

El desenvolupament d'un mètode per a l'aproximació sobre l'estat de càrrega d'una bateria, és un tema molt extens i que queda fora de l'abast d'aquest projecte. És per això, que s'ha optat per implementar una metodologia d'estimació ja coneguda anomenada *Coulomb Counting* [4].

S'ha escollit aquesta metodologia degut, principalment, a que és el sistema més acurat d'estimació del SoC sense necessitat de caracteritzar la cel·la amb la que s'està treballant.

Aquesta metodologia consisteix en comptabilitzar l'energia que entra i surt de la bateria en tot moment, mesurant el corrent de càrrega o descàrrega. Que en comparació amb la capacitat total de la bateria (valor el qual es pot conèixer o estimar fàcilment) s'obté una aproximació de l'energia restant en la bateria. En termes matemàtics s'expressa de la següent manera (Ec 5-1) [23]:

$$SoC(t) = SoC(t_0) + \frac{1}{C_{rated}} \cdot 100 \cdot \int_{t_0}^{t_0+\tau} I_{bat} \cdot d\tau \quad (Ec\ 5-1)$$

On: $SoC(t)$: Estat de càrrega de la bateria en cada instant de temps t [%].

$SoC(t_0)$: Estat de càrrega de la bateria en l'instant t_0 [%].

C_{rated} : Capacitat total de la bateria [A·h].

I_{bat} : Corrent circulat per la bateria [A].

A la pràctica, l'estimació del SoC s'ha implementat en un algoritme que només s'activa quan els contactors es troben tancats, es a dir, hi ha transferència energètica amb l'exterior. Aleshores el propi algoritme pren la mesura de corrent mitjançant el sensor de corrent d'efecte

Hall (apartat 4.3.4) i a partir de l'expressió (Ec 5-1), s'executa el càlcul. Per últim el nou valor de SoC és emmagatzemat en la memòria no volàtil del microcontrolador.

Comentar que degut a que es treballa en un entorn digital l'expressió (Ec 5-1), ha estat modificada per adaptar-la a aquest entorn. En concret l'expressió que s'ha implementat és la següent:

$$SoC(t) = SoC(t_0) + \frac{1}{C_{rated}} \cdot 100 \cdot I_{bat} \cdot \frac{T_{SoC\ task}}{3600} \quad (Ec\ 5-2)$$

On: $T_{SoC\ task}$: Període d'execució de l'algoritme [s]. En concret aquest és de 0.5 s.

5.4.3. Balance task

En aquesta secció hi ha implementat l'algoritme que s'encarrega de controlar i gestionar el balanceig actiu (apartat 3.3).

Per determinar quina cel·la ha de ser balancejada, l'algoritme redueix les opcions a dues cel·les. Aquelles que presenten el nivell de tensió més elevat i més baix. D'entre aquestes dues, finalment la cel·la escollida serà la que presenti una desviació major respecte al voltatge mig, calculat amb totes les cel·les.

Un cop determinada quina cel·la ha de ser balancejada, implícitament també és determinar el sentit del corrent de balanceig, ja que:

- Si la cel·la escollida és la que presenta el nivell de tensió més elevat, serà necessari descarregar-la per tal d'igualar la seva tensió a la de la resta de cel·les.
- Contràriament, si la cel·la escollida es la de menor voltatge. Aquesta haurà de ser carregada.

Finalment, l'algoritme també té en compte l'estat de càrrega de la bateria pulmó (bateria de 12 V):

- Si la cel·la ha balancejar ha de ser carregada la bateria pulmó haurà de presentar un nivell de tensió per sobre d'un llindar mínim anomenat *BackUp_minDisch_V*.
- Per altra banda, si la cel·la ha de ser descarregada la bateria pulmó haurà de presenta un voltatge inferior a un llindar anomenat *BackUp_maxCharg_V*.

Tot aquesta lògica és recull en la següent figura (Fig. 5-6):

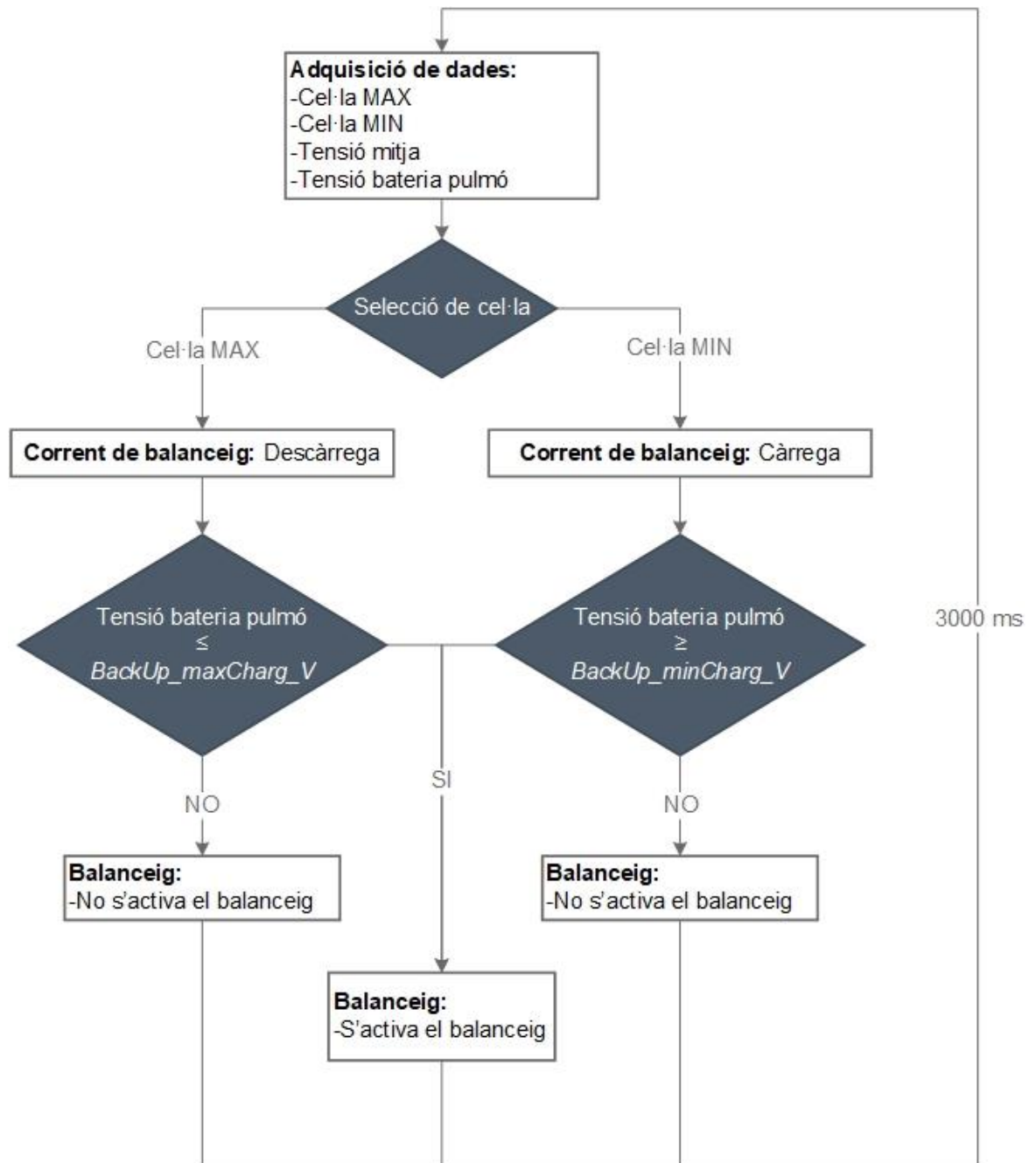


Fig. 5-6: Algorisme de control i gestió del balanceig actiu.

5.4.4. Sleep task

En aquesta secció de codi s'ha implementat un procediment pel qual després d'un cert temps sense activitat en la bateria. Entenent com inactivitat cap intercanvi energètic, el BMS disminueix el grau de control sobre la bateria permeten d'aquesta manera que les slaves i el microcontrolador entrin en un estat de baix consum.

D'aquesta manera es maximitza el rendiment de la bateria, ja que el BMS només es trobarà en ple rendiment i consumint el màxim d'energia quan hi així alguna transferència energètica i mentre tant el consum d'aquest pot reduir-se considerablement.

A continuació es presenta la lògica d'entrada i sortida d'aquest estat (Fig. 5-7):

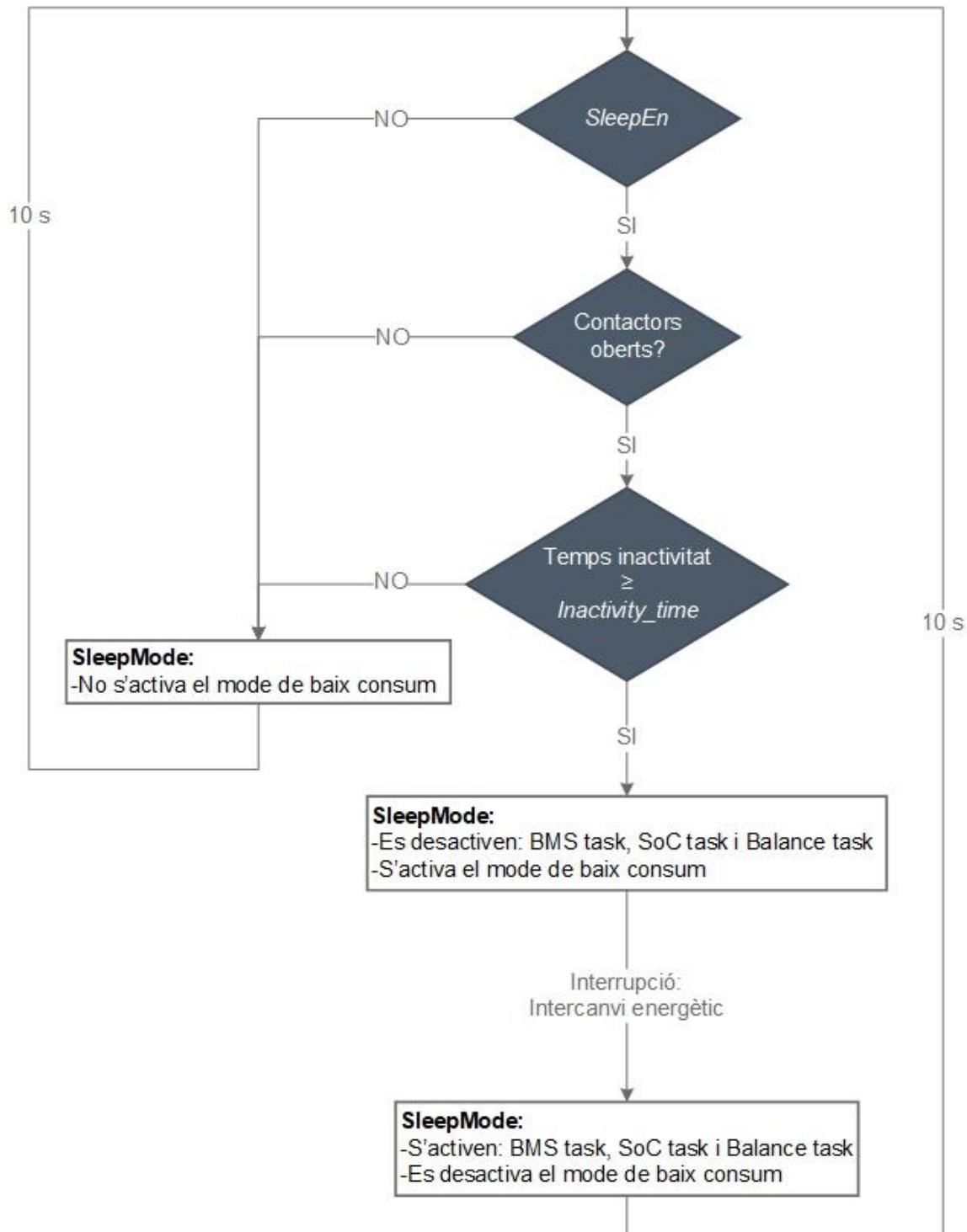


Fig. 5-7: Algoritme d'entrada i sortida al mode de baix consum.

SleepEn (Fig. 5-7) és un paràmetre que permet activar o desactivar fàcilment el control d'entrada al mode de baix consum. En altres paraules, si *SleepEn* val 0 el sistema no entrarà mai en mode de baix consum.

Per altra banda *Inactivity_time* (Fig. 5-7) representa el temps mínim que ha de passar sense transferència energètica per tal que el sistema entri en el mode de baix consum.

Un cop es compleixen totes les condicions d'entrada al mode de baix consum. El primer que es fa és desactivar tot el control que no sigui estrictament necessari, cosa que es tradueix en poder desactivar els algoritmes del *BMS task* (apartat 5.4.1), *SoC task* (apartat 5.4.2) i *Balance task* (apartat 5.4.3).

A continuació s'envien les comandes pertinents a les slaves, les quals desactivaran tots els perifèrics, deixant tan sols aquells necessaris per detectar la comanda de sortida de l'estat de baix consum.

Finalment per sortir d'aquest estat tan sols és necessari enviar la comanda que indica l'inici d'una nova transferència energètica. Aquesta comanda que s'envia des de la interfície d'usuari (apartat 5.5) es detectada pel sistema mitjançant el servei d'interrupcions i provoca que el sistema torni al seu estat de màxim control.

5.4.5. Info task

Tal i com indica el seu nom, aquest apartat s'encarrega de recopilar tota la informació d'interès, preparar-la i enviar-la a la interfície d'usuari (apartat 5.5).

Aquest procediment és el de menor prioritat i s'executa periòdicament cada segon.

5.5. Interfície gràfica

Per tal de facilitar el desenvolupament i centralitzar el control i govern del sistema, a més a més de desenvolupar el BMS s'ha dissenyat una interfície gràfica d'usuari emprant el programari *Matlab simulink*.

En referencia a la comunicació amb el sistema, ha estat necessari l'ús d'un adaptador USB-UART (Fig. 5-8). Aquest dispositiu adapta les dues interfícies possibilitant així la comunicació.



Fig. 5-8: Adaptador USB-UART.

La interfície consta de 4 blocs (Fig. 5-9):

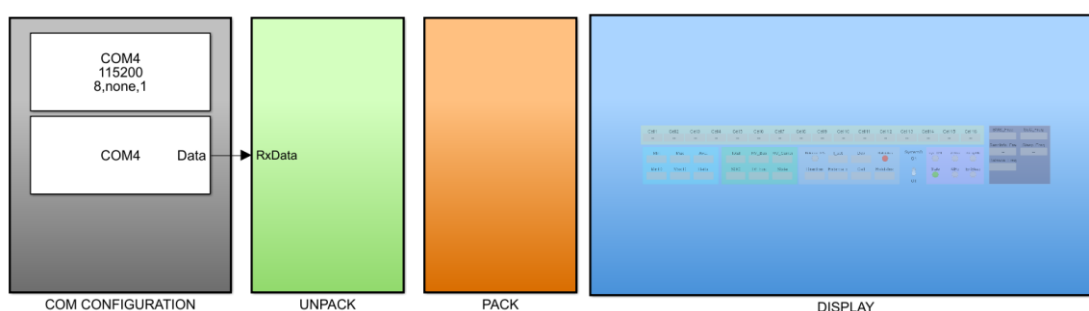


Fig. 5-9: Blocs dels que consta la interfície gràfica.

- **COM CONFIGURATION:** aquest bloc s'encarrega de configurar l'adaptador USB-UART (Fig. 5-8) i la recepció de dades.
- **UNPACK:** aquest s'encarrega de tractar les dades provinents del BMS (Fig. 5-10), descodificar-les per fer-les intel·ligibles i guardar-les per poder mostrar-les (Fig. 5-11).
- **PACK:** al contrari que el bloc anterior, aquest s'encarrega de preparar les dades i enviar-les al BMS (Fig. 5-12).
- **DISPLAY:** mitjançant aquest bloc se li presenten a l'usuari totes les dades rellevants del sistema com ara les tensions de totes les cel·les, l'estat dels contactors, les mesures dels sensors tan de tensió com de corrent i algunes dades de configuració del BMS. A banda de visualitzar informació aquest bloc permet enviar la comanda de tancar o obrir contactors (Fig. 5-13, Fig. 5-14, Fig. 5-15 i Fig. 5-16).

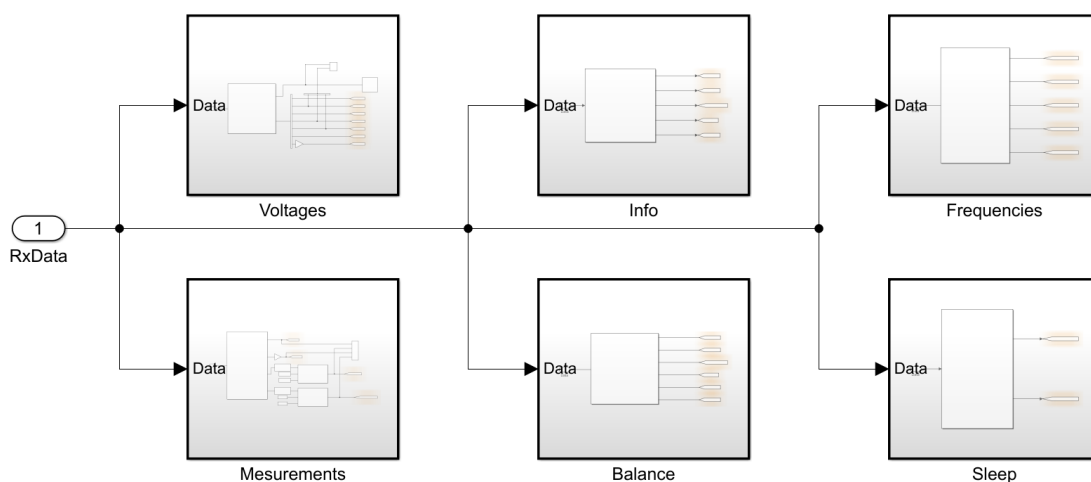


Fig. 5-10: Bloc de descodificació de dades.

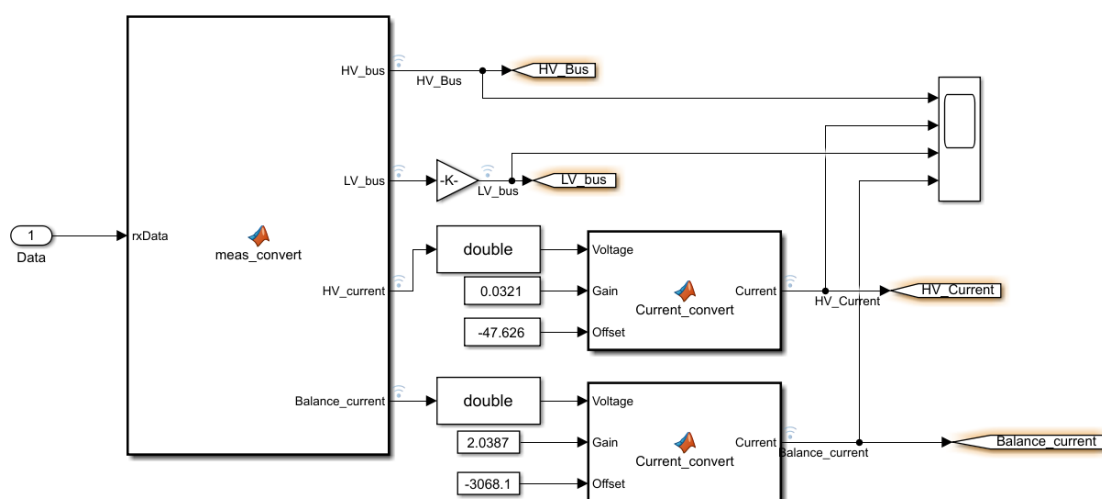


Fig. 5-11: Model de descodificació de dades.

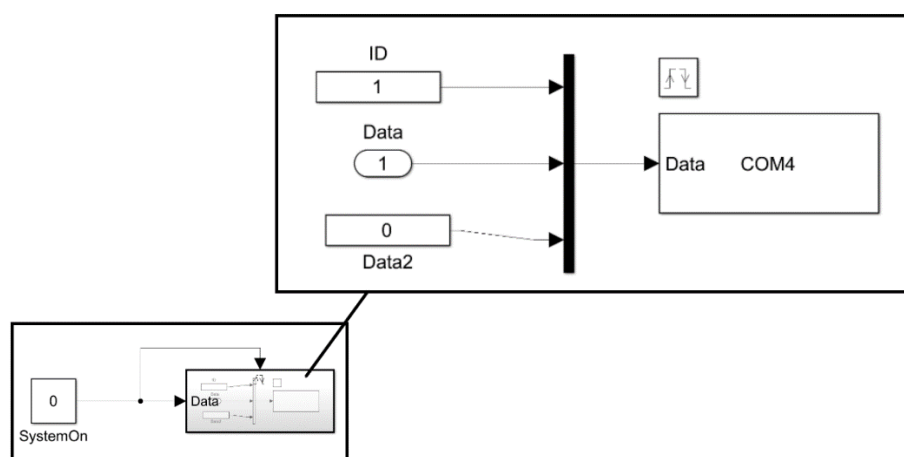


Fig. 5-12: Model de codificació de dades.

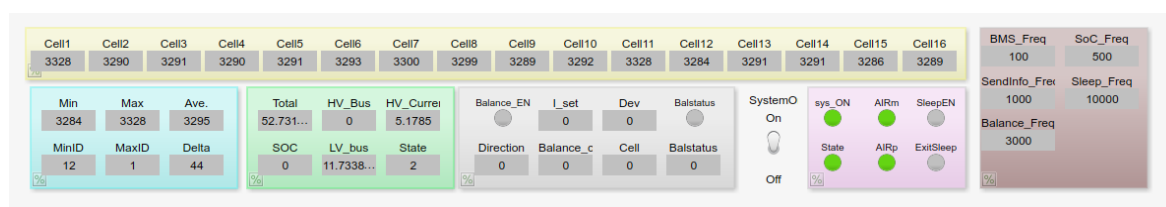


Fig. 5-13: Mòdul complet de visualització de dades.

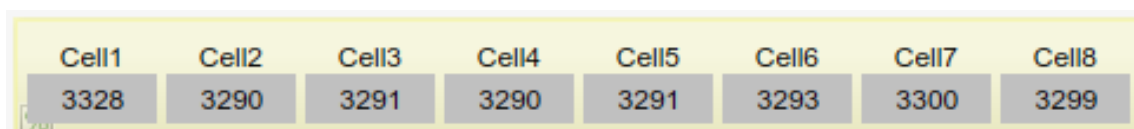


Fig. 5-14: Visualització de les tensions de les cel·les.

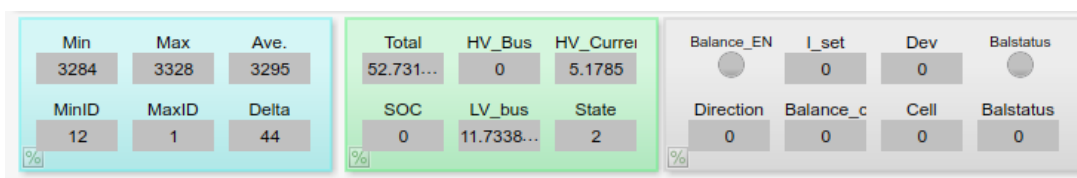


Fig. 5-15: Resum del estat de les cel·les i visualització de les mesures dels sensors.



Fig. 5-16: Control dels contactors i visualització de l'estat i configuració del sistema.

6. Tests d'integració

A continuació, en aquest apartat es presenten un conjunt de tests, als qual s'ha sotmès tot el sistema amb l'objectiu d'avaluar la funcionalitat general del BMS.

Comentar també, que les proves que s'han realitzat són a nivell funcional de sistema complert. Quedarà pendent un cop es determini una aplicació concreta realitzar els tests unitaris pertinents a cada component pe tal de garantir la seva correcta funcionalitat en tots els possibles escenaris.

6.1. Test de càrrega

El primer test que s'ha realitzat ha estat un test de càrrega a 1 A.

Amb aquest tests es pretén tenir una primera pressa de contacte amb l'entorn de proves. Així com poder realitzar un primer conjunt de comprovacions dels següents aspectes:

- Comunicacions: comprovació que els diferents busos de comunicació són estables i no hi han pèrdues al llarg de la prova.
- Sensors i calibratge: comprovació que les mesures que es prenen amb els sensors són acurades i re-calibratge si fos necessari.
- SoC: primera comprovació de l'evolució del paràmetre SoC. Per aquesta prova, degut a que no es coneixia l'estat de càrrega de les cel·les només s'ha prestat atenció al diferencial entre l'inici i el final de la prova.

Després d'analitzar el resultats (Fig. 6-1 i Fig. 6-2), s'han extret les següents comentaris:

- Els busos de comunicació han presentat suficient robustesa i no han presentat problemes al llarg de la prova.
- Pel que fa als sensors, ha estat necessari re-calibrar el sensor de tensió d'alt voltatge (apartat 4.3.3), i el sensor de corrent d'alt voltatge (apartat 4.3.3).
- A priori, l'algoritme de càlcul del SoC (apartat 5.4.2), presenta variacions al llarg del procés de càrrega i la saturació al 100 % funciona.

Amb tot això les conclusions d'aquest primer experiment són:

- Tot el sistema presenta una robustesa suficient per continuar amb la resta

d'experiments.

- S'haurà de prestar especial atenció al calibratge dels sensors, ja que han hagut de tornar a ser calibrats.
- Amb aquesta càrrega, s'ha considerat que les cel·les es troben al 100 % de SoC, aquest valor es prendrà com a referència per al següent experiment.

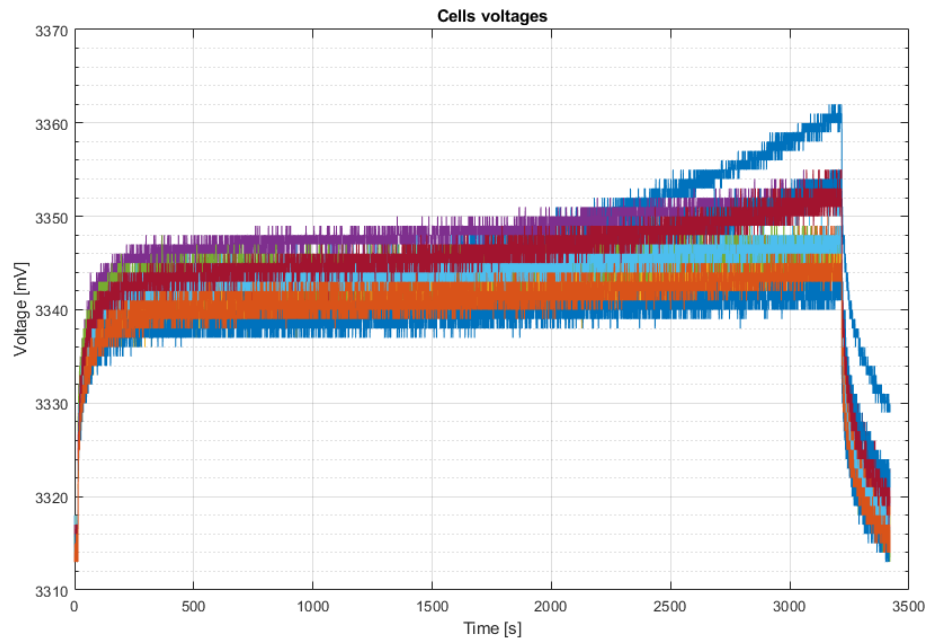


Fig. 6-1: Evolució de la tensió de les 16 cel·les.

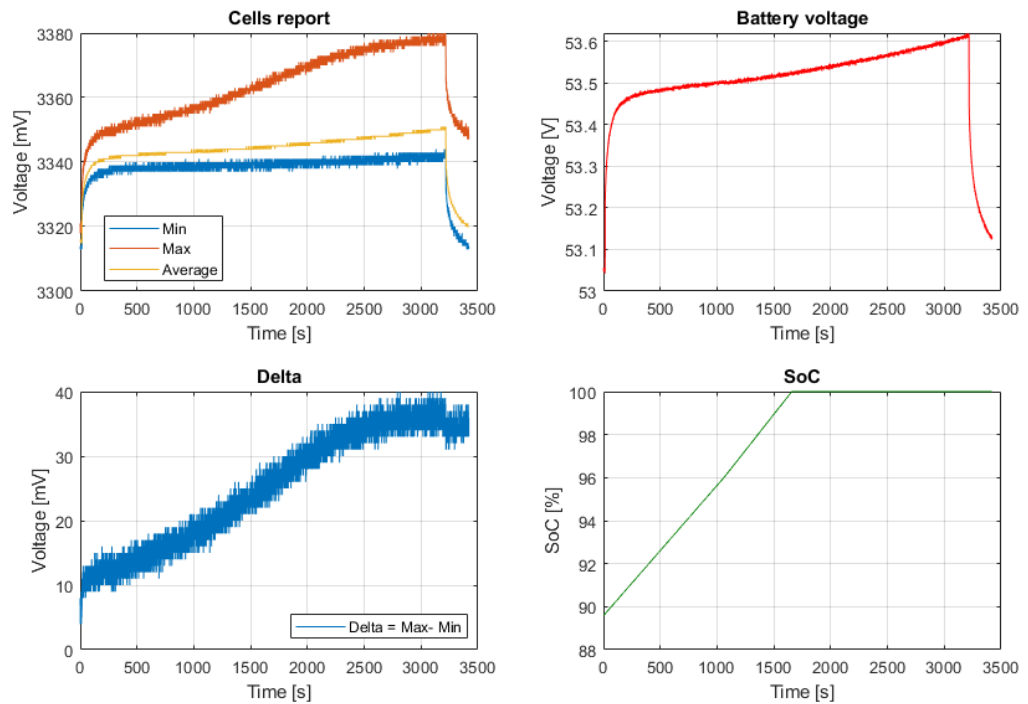


Fig. 6-2: Evolució dels principals paràmetres de control.

6.2. Test de descàrrega

Aquest test ha consistit en realitzar una descàrrega a corrent constant a 5 A.

Amb aquest test es pretén comprovar els següents aspectes:

- Funcionament general del sistema amb presència de més corrent.
- Comprovació del calibratge dels sensors, degut al resultat del test anterior (apartat 6.1).
- Avaluació de l'algoritme de càlcul del SoC, aquest cop prestant més atenció als valors.

Durant la realització de l'experiment es realitzen els següents comentaris:

- Ha estat necessari re-calibrar els sensors de voltatge i corrent del bus d'alt voltatge (apartats 4.3.3, 4.3.4) així com el sensor de tensió de la bateria de baix voltatge (apartat 4.3.1).
- El sistema no ha presentat anomalies al pas de més corrent.

Com a conclusions es determina (Fig. 6-3 i Fig. 6-4):

- Existeix un problema amb el calibratge dels sensors. Després d'un anàlisi amb profunditat, s'ha vist que el problema rau en la fase d'adquisició, ja que en l'etapa d'adequació les senyals són filtrades i els valors de sortida presenten repetibilitat i reproductibilitat.

Per futurs projectes, es recomana prestar especial atenció a la referència de voltatge que l'hi arriba a cadascun dels ADC involucrats. Especialment amb el del microcontrolador de la màster (apartat 4.2.1), ja que en la placa de desenvolupament que s'ha utilitzat no hi ha una referència de voltatge dedicada.

- En referència al càlcul del SoC, s'ha comparat l'energia extreta (segons la informació que proporcionen els equips de laboratori), amb l'energia teòrica.

Així doncs l'energia teòrica extreta ha estat (Ec 5-1)(Ec 5-2):

$$\Delta SoC = SoC_{Inicial} - SoC_{Final} = 100 - 24,69 = 75,31 \% \quad (Ec\ 6-1)$$

$$Energia_{teorica} = \Delta SoC \cdot Capacitat = 0,7531 \cdot 8 = 6,02\ A \cdot h \quad (Ec\ 6-2)$$

L'energia real extreta ha estat (Ec 6-3)(Ec 6-4):

$$\text{Duració: } 1\ h\ 22\ \text{min}\ 55\ s \rightarrow t = 1,38194\ h \quad (Ec\ 6-3)$$

$$Energia_{Real} = I_{Descàrrega} \cdot t = 5 \cdot 1,38194 = 6,89\ A \cdot h \quad (Ec\ 6-4)$$

S'observa una diferencia de 0,87 A·h. Aquesta diferencia pot ser deguda a diferents aspectes com ara: errors de mesura del corrent o indeterminació de l'estat de les cel·les. Com es pot observar en la Fig. 6-3, existeix un des-balanceig considerable, afegit al fet que l'algoritme de càlcul del SoC no corregeix per tensió, aquest pot ser un altre factor important, que provoca aquest error.

No obstant, tenint en compte, que la caracterització de les cel·les queda fora de l'abast d'aquest projecte i que aquest algoritme s'ha presentat com una primera aproximació. Es considera que el resultat és satisfactori.

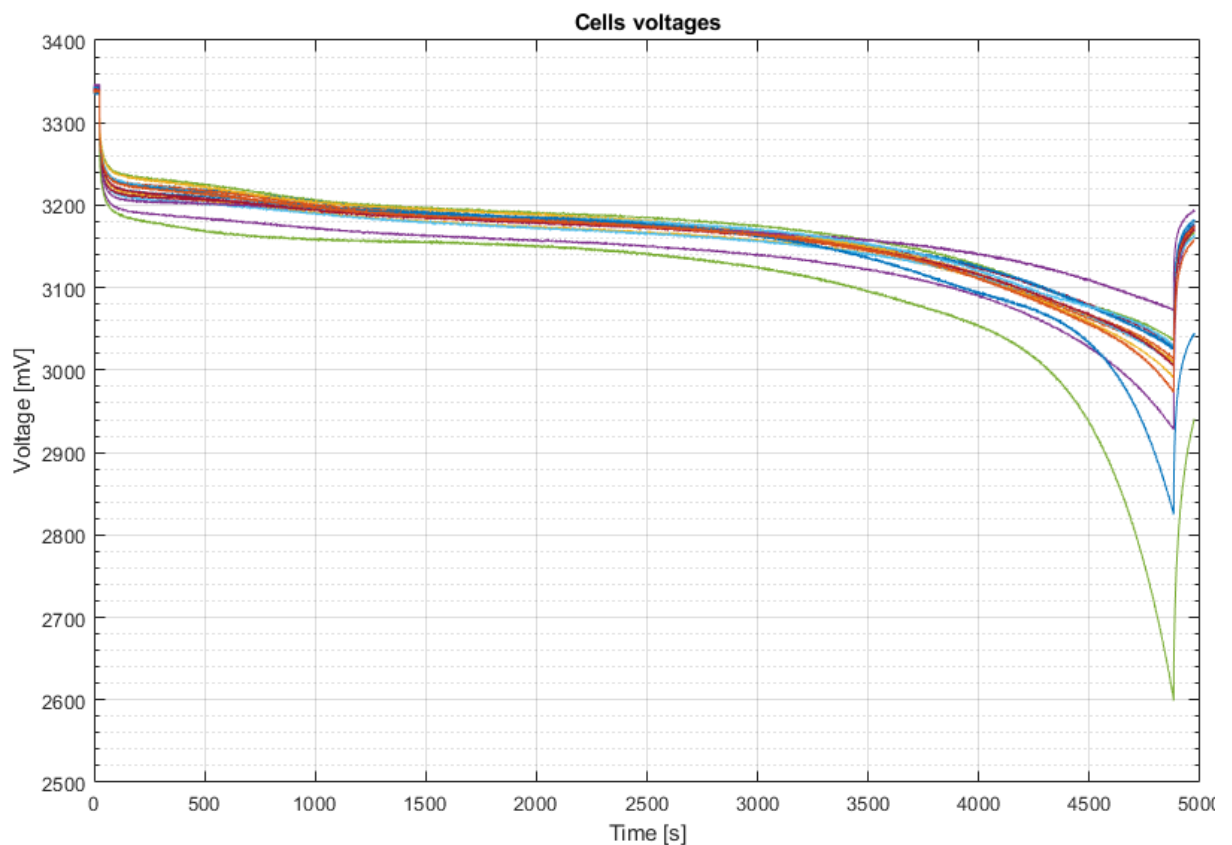


Fig. 6-3: Evolució de les tensions de totes les cel·les.

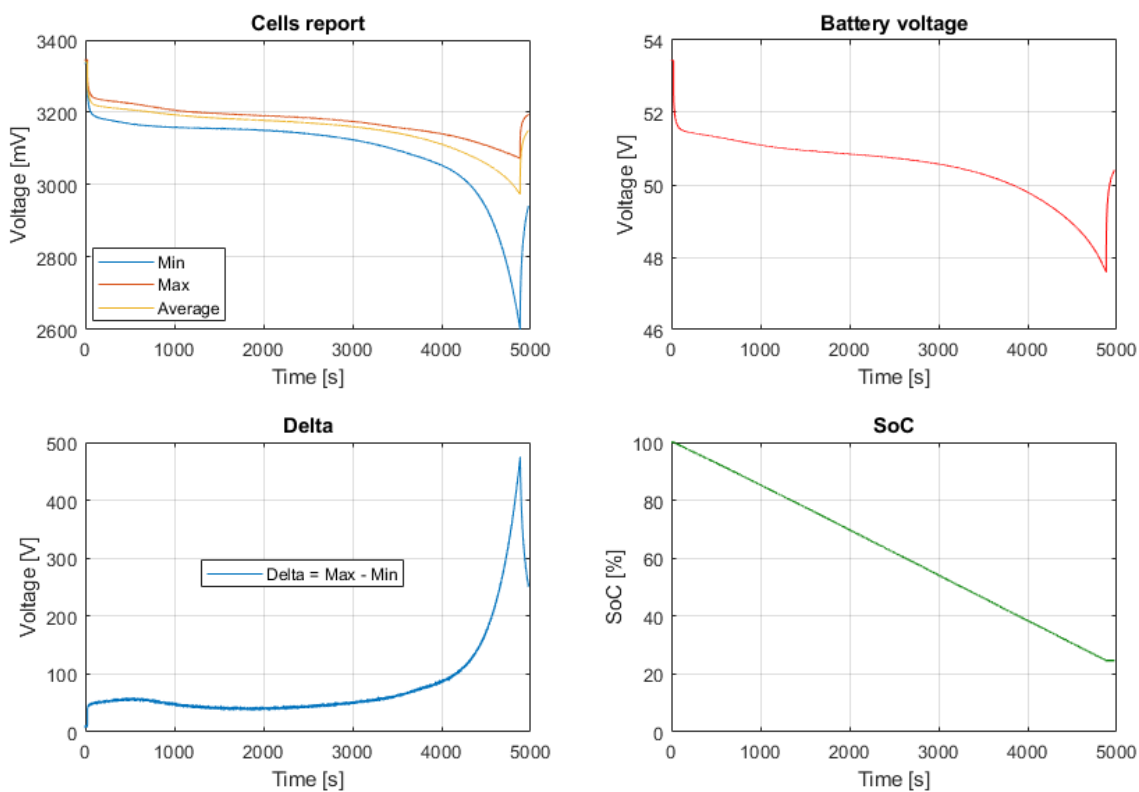


Fig. 6-4: Evolució dels principals paràmetres de control.

6.3. Test de balanceig actiu

Per últim aquest experiment té com a finalitat avaluar la funcionalitat del balanceig.

Per dur a terme aquest experiment, s'ha iniciat un procés de càrrega a corrent constant de 1 A, i a continuació s'ha activat la funcionalitat del balanceig.

Tal i com s'observa en la següent figura (Fig. 6-5), veiem el gran impacte que suposa el balanceig actiu, ja que ens permet imposar un corrent major que el que pot imposar qualsevol balanceig passiu i a més a més no tan sols descarregant la cel·la sinó també carregant-la.

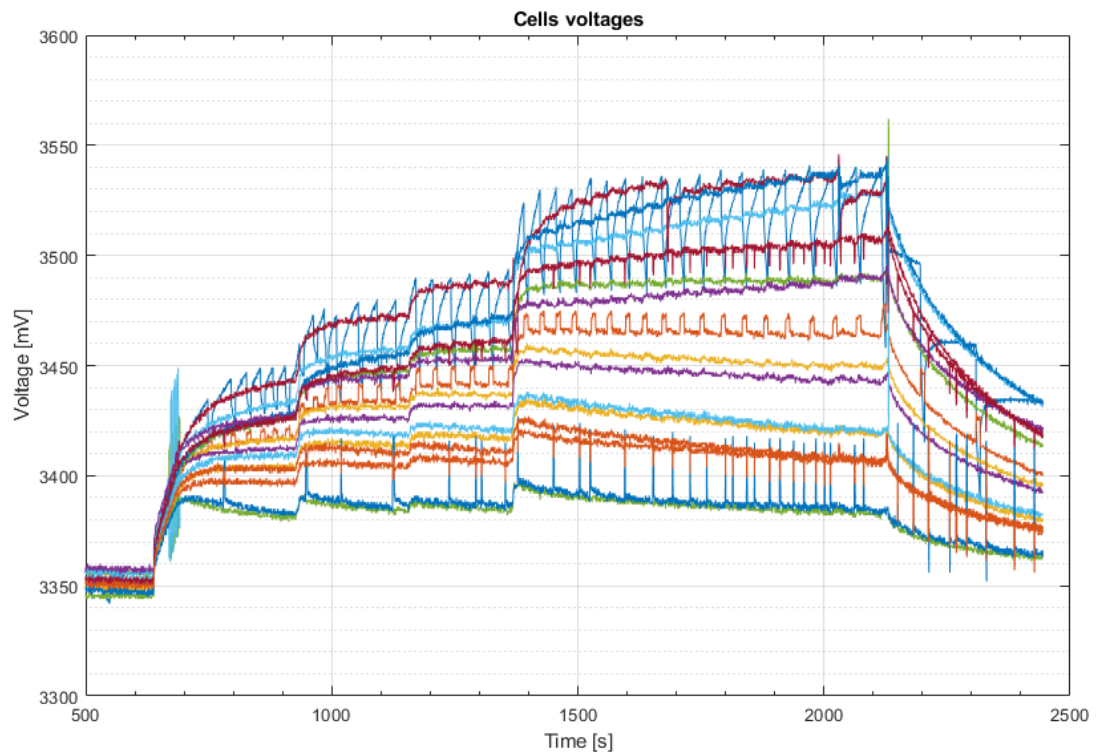


Fig. 6-5: Evolució de la tensió de totes les cel·les amb l'efecte del balanceig.

Si s'analitzen amb detall les dades anteriors (Fig. 6-5). Es pot observar com només les cel·les amb una tensió més alta i més baixa són les que es veuen afectades pel balanceig, al ser les que més s'allunyen de la mitja de tensió.

A més a més comentar, que l'efecte del balanceig actiu, no només es pot observar en les cel·les, sinó també en la bateria de baix voltatge (Fig. 6-6). Recordar que aquesta actua com un dipòsit pulmó d'on extreure i emmagatzemar l'energia necessària o provinent de la cel·la que serà balancejada.

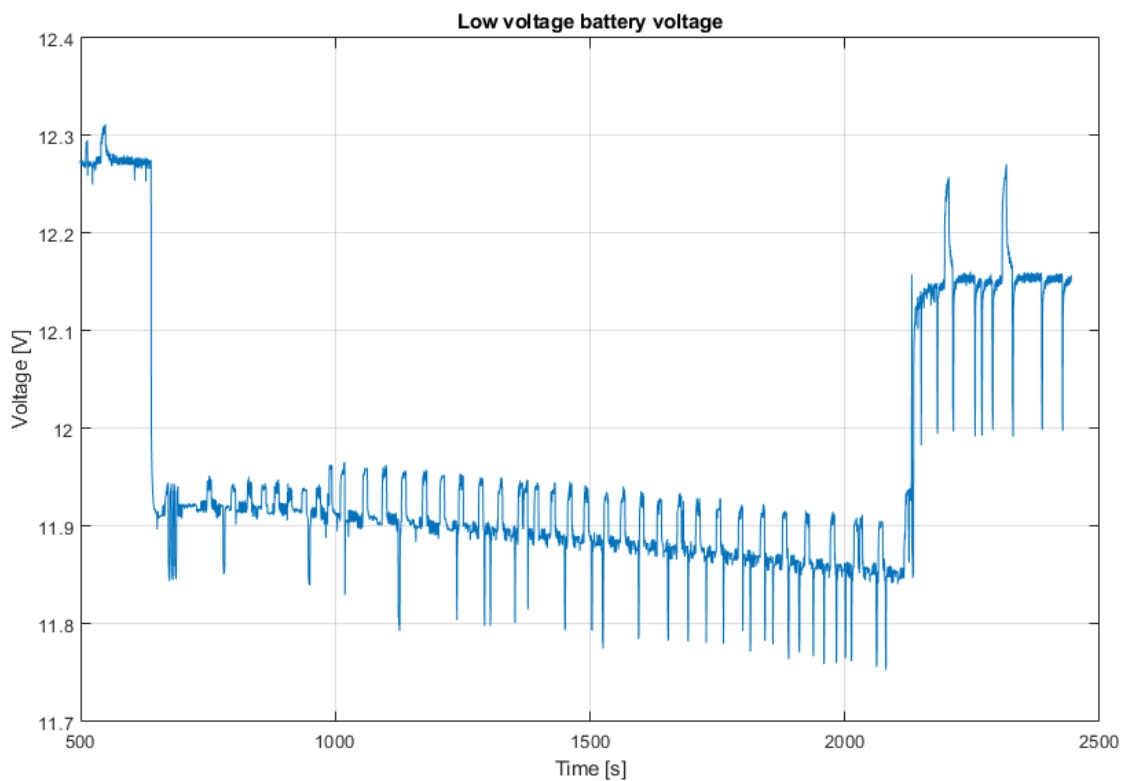


Fig. 6-6: Evolució de la tensió de la bateria de baix voltatge.

Per últim destacar, que l'algoritme que controla el balanceig, decideix quina cel·la ha de ser balancejada i en quin sentit (càrrega – descàrrega). No obstant, no controla el corrent de balanceig, (recordar que aquest pot anar des de -5 A fins a 5 A). Una possible via de desenvolupament futura podria ser el disseny de diferents estratègies de balanceig afegint el control del valor del corrent de balanceig.

7. Planificació del projecte

El projecte s'inicia al finalitzar els exàmens finals del quadrimestre de primavera del curs 2017-2018.

No obstant, previ a l'inici oficial del projecte ja es van mantenir algunes converses amb en Miquel Gaig, el qual en aquells moments es trobava ultimant el seu treball de final de màster. Va ser en aquestes converses on es va plantejar l'opció de seguir el desenvolupament que ell havia iniciat.

El projecte s'inicia amb una etapa de documentació, primerament de caire general envers al balanceig actiu i les seves diferents estratègies. Seguit d'una documentació molt més especialitzada sobre els diferents integrats que utilitza la placa de desenvolupament i informació sobre la resta d'elements de l'equip de desenvolupament.

Un cop finalitzada aquesta primera etapa i amb el microcontrolador escollit, s'inicia l'etapa de desenvolupament del Software (SW) el primer que es va desenvolupar va ser la part del *Basic SW* encarregat de les comunicacions, ja que aquesta part era una de les més crítiques i de les que podria necessitar més temps. Seguidament es va anar desenvolupant la resta del SW.

L'etapa de desenvolupament del Hardware (HW) es troba localitzada simultàniament amb el desenvolupament SW, això és així degut a que la influència del disseny del HW sobre el disseny del SW i viceversa és molt alta. Així doncs, es pot entendre que el desenvolupament SW i HW es va paral·lelitzar en la mesura que va ser possible.

Amb les darreres dues etapes enllestides s'inicia l'etapa d'integració on s'uneixen tots els elements del sistema: cel·les, slaves, màster i s'arrenca el sistema amb tots els seus components. A més a més es va poder disposar d'una etapa d'experimentació on s'ha pogut avaluar el sistema complet

Per últim simultàniament a tot l'esmentat fins ara, a partir del mes de novembre es va iniciar la redacció d'aquesta memòria.

A continuació es mostra el diagrama de Gantt del projecte (Fig. 7-1):

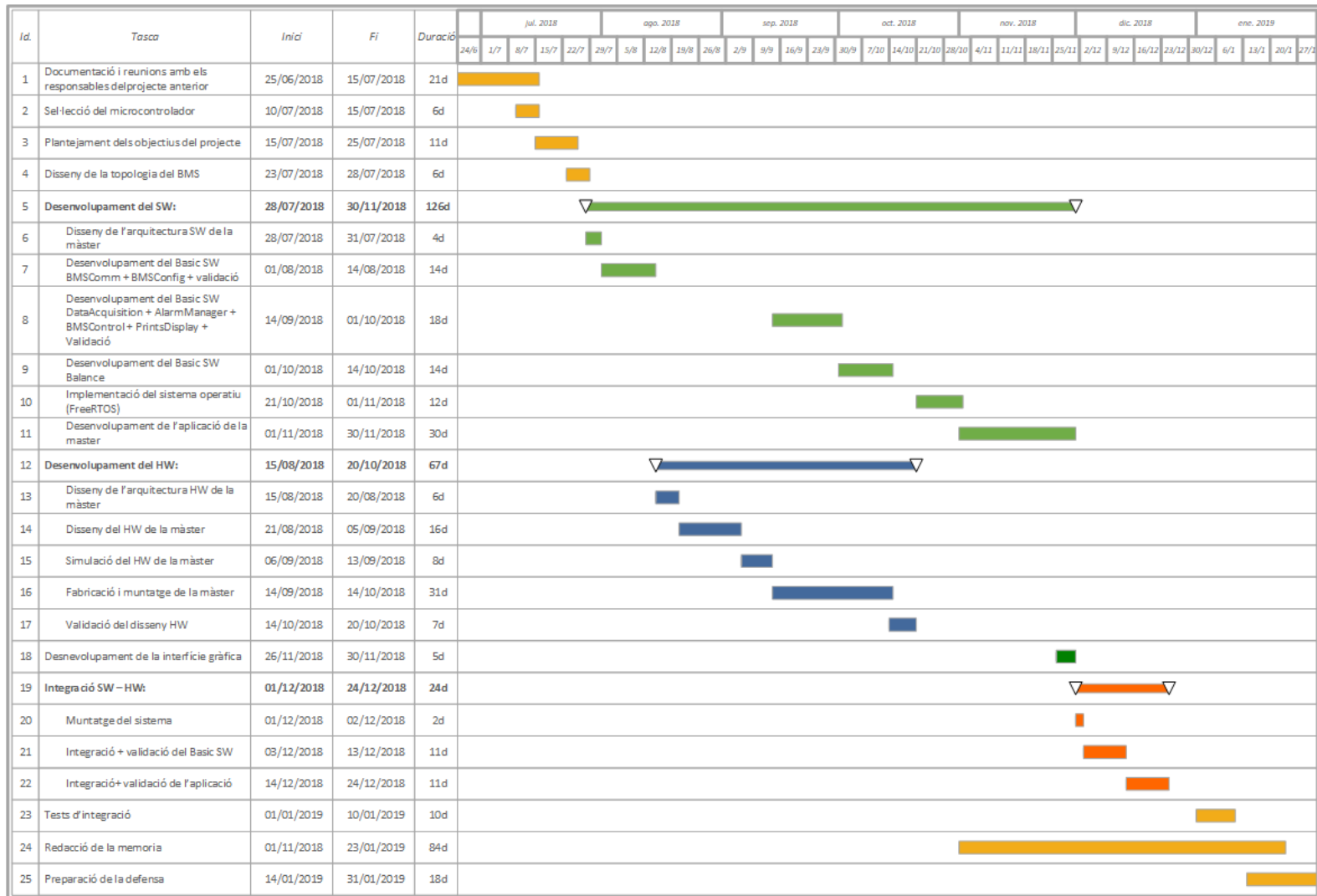


Fig. 7-1: Diagrama de Gantt del projecte.

8. Pressupost

8.1. Recursos humans i materials

En la següent taula s'avaluen el cost dels recursos humans destinats al projecte desglossat per activitat (Taula 8-1):

Activitat	Preu per hora	Hores dedicades	Total
Avaluació del desenvolupament fet en projectes anteriors	50 €/h	50 h	2.500 €
Reunions	50 €/h	10 h	500 €
Disseny	50 €/h	400 h	20.000 €
Fabricació i muntatge	40 €/h	50 h	2.000 €
Experimentació	50 €/h	100 h	5.000 €
Redacció de la memòria	25 €/h	100 h	2.500 €
TOTAL		610 h	32.500 €

Taula 8-1: Avaluació del cost dels recursos humans.

Pel que fa al equipament utilitzat, la següent taula recull el seu cost (Taula 8-2):

Concepte	Cost	Amortització
Equips informàtics	1000 €	500 €
Llicències:		
• Altium Designer 17	9.000 €	3.000 €
• Keil uVision 5	1.500 €	1.500 €
• Matlab	3.000 €	1.200 €

• Microsoft Office	600 €	200 €
Equipament de laboratori	1.200 €	300 €
TOTAL		6.700 €

Taula 8-2: Avaluació del cost dels recursos materials.

8.2. Fabricació i muntatge

A continuació es detalla el cost de fabricació i muntatge de la màster (Taula 8-3), així com el cost de la resta d'elements que formen part del sistema (Taula 8-4):

Descripció	Cost
Fabricació de la PCB	15 €
Components de la màster:	
• Microcontrolador NUCLEO-L476RG	13 €
• Sensor de corrent LEM HX03-P	12 €
• Sensor de corrent LEM LA 55-P-SP1	25 €
• ADC	5 €
• Amplificadors operacionals	6 €
• Optoacoblador	5 €
• Transistors	3 €
• Convertidors DC-DC	10 €
• Components passius	14 €
TOTAL	108 €

Taula 8-3: Avaluació del cost de fabricació i muntatge de la màster.

Descripció	Cost
Fabricació i muntatge de la bateria (inclou cel·les)	300 €
Slave (placa d'avaluació TIDA-00817)	388 €
Contactors (KILOVAC LEV100)	180 €
Bateria pulmó	22 €
Cargoleria	15 €
Convertidors DC-DC:	
• De 12 V a 24 V	3 €
• De 12 V a 5 V	10 €
Caixa de control	20 €
Connectors de control:	
• De control	1 €
• De potència	3 €
Cablejat:	
• Intern baix voltatge	8 €
• Intern alt voltatge (potència)	20 €
• Comunicacions (cablejat + adaptador USB-UART)	15 €
• Programació	3 €
• Elements de protecció i subjecció del cablejat	5 €
TOTAL	993 €

Taula 8-4: Avaluació del cost de fabricació i muntatge del sistema.

A mode de resum destacar:

- El cost del disseny del BMS ha estat de (Ec 8-1) (Taula 8-1):

$$Cost\ disseny = 32.550 - 2.000 - 2.500 = 28.000\ € \quad (Ec\ 8-1)$$

- El cost de fabricació i muntatge de la màster s'estima en 108 €/unitat (Taula 8-3).
- El cost de tota la resta d'elements del sistema és de 993 € (Taula 8-4).

Tot plegat, es dona com a aproximació, que el cost del projecte ha estat de (Ec 8-2):

$$Cost\ projecte = 32.500 + 6.700 + 108 + 993 = 34.801\ € \quad (Ec\ 8-2)$$

9. Impacte ambiental

En vista de l'estat de la tecnologia, en general, i dels ràpids avenços que es produeixen. Podem afirmar, que les bateries, a dia d'avui, ja estan tenint un gran impacte en la societat, gracies a tot el ventall de possibilitats que permeten.

No obstant, l'impacte que les bateries puguin tenir no es delimiten nomes duran la seva vida útil. Sinó que un cop aquestes esdevenen inservibles s'obra un nou paradigma de vital importància com el seu adient desmantellament i reciclatge dels materials.

A més a més aquesta darrera etapa de desmantellament i reciclatge esdevé especialment complicada, no tan sols per la naturalesa dels materials a reciclar sinó també per la quantitat de bateries que s'utilitzen avui dia i que en un futur hauran de ser tractades.

Entrant en detall envers al desmantellament i reciclatge de les bateries. Segons un estudi realitzat pels *Laboratoris Federals Suïssos d'Investigació i Assajos de Materials*, els materials que forment part d'una bateria i que més impacte mediambiental tenen són el coure i l'alumini utilitzats per fer els cablejats, els ànodes i els càtodes. Sorprenentment el liti no presenta un greu impacte ni en la seva fase d'extracció (2,3 %) ni duran la seva vida útil en una bateria (15 %) [7].

Per acabar, recordar al lector el procediment que s'hauria de seguir a dia d'avui si hagués de desfer-se d'una bateria:

Primer de tot és recomanable realitzar una primera separació de materials, sempre i quan aquest procediment es pugui dur a terme amb les mesures de seguretat adients i sense comprometre la integritat física de les persones que manipularan la bateria. Aquesta separació consistiria en destriar els elements mecànics (caixes, suports, cobertes, cargols, etc); els elements electrònics i cablejat; i les cel·les.

Un cop realitzada aquesta tria, tots els materials han de ser entregats en qualsevol dels diferents *Punts Verds* els quals se'n faran càrrec.

Conclusions

A l'inici d'aquest projecte l'objectiu era clar: continuar el desenvolupament d'un BMS de balanceig actiu. Al llarg d'aquesta memòria s'ha fet èmfasi de la complexitat i la magnitud que implica el desenvolupament d'un BMS. És per aquest motiu, que el camí a seguir era també clar: recollir tota la feina de desenvolupament que ja s'havia fet i continuar-la per tal de dur el sistema un pas més enllà.

Després de mesos de desenvolupament totes les millores que es van plantejar a l'inici han estat satisfetes en major o menor mesura. Aquestes es classifiquen en dos grans grups millores de hardware (HW) i de software (SW).

Pel que fa a les millores de HW, s'especifiquen a continuació:

- Integració d'un nou microcontrolador molt més potent en quan a capacitat de càlcul i amb perifèrics amb millors prestacions que el que s'havia utilitzat fins aleshores. A banda de la millora tècnica, aquest canvi ha permès que el projecte comenci a distanciar-se de fases de pur prototipatge per encarar-se a una fase de disseny més específic, ja que sense cap problema es podria comercialitzar el BMS amb aquest microcontrolador.
- Augment del nombre de sensats. S'ha afegit al sistema el sensat de la tensió de la bateria de baix voltatge i el sensat de la corrent de balanceig. Fet que obra un ampli ventall de possibilitats especialment amb operacions que impliquin l'ús del balanceig actiu.
- Disseny específic d'etapes d'adequació de les senyals analògiques. Ajustant així, els rangs dels sensors als rangs dels ADC obtenint la màxima resolució possible.
- Disseny d'una PCB que incorpora i unifica tot els elements de la màster, aportant d'aquesta manera un important grau de robustesa i qualitat al projecte.

Per altra banda les millores de SW introduïdes han estat:

- Disseny de l'arquitectura del SW, en base a un estàndard (*AUTOSAR*), que ha permès al final, obtenir un codi endreçat que facilitarà la comprensió per a les persones que agafin el relleu del desenvolupament.
- Implementació d'un sistema operatiu basat en tasques (*FreeRTOS*), que permet fàcilment afegir, eliminar o configurar rutines, alhora que també gestiona l'ús dels diferents recursos del microcontrolador i del servei d'interrupcions.
- Integració d'un primer algoritme de càlcul de l'estat de càrrega de la bateria (SoC). Ha estat la primera iteració però tot i que el mètode de càlcul emprat és un dels més senills (*Coloumb Counting*), s'ha pogut comprovar que dona una primera aproximació a l'estat real de càrrega de la bateria.
- Disseny d'una rutina de baix consum que permet reduir al mínim tan el consum de la

màster com de les slaves quan la bateria no s'està utilitzant, maximitzant així l'energia disponible.

- Disseny d'una interfície gràfica de control que facilita el desenvolupament del BMS al mostrar de manera centralitzada i visual els principals paràmetres de control del sistema.

En termes generals es pot concloure que aquest projecte a satisfet l'objectiu principal marcat a l'inici que era continuar el desenvolupament del BMS en una filosofia de millora continua. Així doncs, es pot afirmar que el BMS que es va rebre a l'inici respecte el BMS que s'entrega al finalitzar el projecte s'ha dut un pas més enllà.

Agraïments

En primer lloc, mostrar el meu agraïment al tutor del projecte, el professor Daniel Montesinos, per la seva ajuda en tots els dubtes tècnics especialment en el disseny del hardware, així com la seva predisposició a facilitar tot el material necessari per dur a terme el projecte.

En la mateixa mesura, agrair al Miquel Gaig, la seva ajuda a l'hora de facilitar la transferència de coneixement adquirida en el seu projecte així com la seva actitud a l'hora de resoldre els dubtes que han anat apareixen en el transcurs del projecte.

Per altra banda, agrair a l'equip ETSEIB MotorSport per posar a la meva disposició els seus equips de laboratori.

Per últim, m'agradaria donar les gràcies a la meva família pel seu suport i ànims al llarg de tots aquests mesos de desenvolupament. I en especial, al meu pare, per la seva col·laboració en la fase d'integració i muntatge del sistema.

A tots vosaltres gràcies.

Bibliografia

Referències bibliogràfiques

- [1] AUTOSAR. *CLASSIC PLATFORM 4.4.0*. [En línia]. Disponible: <https://www.autosar.org/standards/classic-platform/classic-platform-440/>.
- [2] AUTOSAR. *Layered Software Architecture*. [En línia]. Disponible: https://www.autosar.org/fileadmin/user_upload/standards/classic/4-3/AUTOSAR_EXP_LayeredSoftwareArchitecture.pdf.
- [3] BATTERY UNIVERSITY. *BU-803a: Cell Matching and Balancing*. [En línia]. Disponible: https://batteryuniversity.com/learn/article/bu_803a_cell_mismatch_balancing.
- [4] BATTERY UNIVERSITY. *BU-903a: How to Measure State-of-charge*. [En línia]. Disponible: https://batteryuniversity.com/learn/article/how_to_measure_state_of_charge.
- [5] ElectrónicaFácil. *CONVERTIDOR DECORRIENTE A TENSIÓN*. [En línia]. Disponible: <https://www.electronicafacil.net/tutoriales/CONVERTIDOR-CORRIENTE-A-TENSION.php>.
- [6] Electropaedia. *Battery and Energy Technologies. Battery Management System (BMS)*. [En línia]. Disponible: <https://www.mpoweruk.com/bms.htm>.
- [7] ESMARTCITY. *Impacte Mediambiental de les bateries*. [En línia]. Disponible: <https://www.esmartcity.es/2010/08/16/estudio-sobre-el-impacto-medioambiental-de-las-baterias>.
- [8] «Fitxa tècnica: *Application Interfaces User Guide. AUTOSAR CP Release 4.4.0*»
AUTOSAR. [En línia]. Disponible: https://www.autosar.org/fileadmin/user_upload/standards/classic/4-3/AUTOSAR_EXP_AIUserGuide.pdf.
- [9] «Fitxa tècnica: *bq76PL455A-Q1 16-Cell EV/HEV Integrated Battery Monitor and*

Protector» Texas instruments. Dallas, 2015.

- [10] «Fitxa tècnica: *Current Transducer HX03..50-P*» LEM. Xina, 2014.
- [11] «Fitxa tècnica: *Current Transducer LA 55-P/SP1*» LEM. Xina, 2014.
- [12] «Fitxa tècnica: *Description of STM32L4/L4+ HAL and low-layer drivers*» ST. [En línia].
Disponible:
https://www.st.com/content/ccc/resource/technical/document/user_manual/63/a8/8f/e3/ca/a1/4c/84/DM00173145.pdf/files/DM00173145.pdf/jcr:content/translations/en.DM00173145.pdf.
- [13] «Fitxa tècnica: *HIGH-SPEED QUAD DIGITAL ISOLATORS*» Texas instruments. Dallas, 2017.
- [14] «Fitxa tècnica: *KILOVAC LEV100 Series*» Tyco Electronics. Pennsylvania, 2008.
- [15] «Fitxa tècnica: *MCP3302/04*» Microchip. Estats Units, 2007.
- [16] «Fitxa tècnica: *NP-Series – Valve Regulated Lead Acid Battery NP7-12*» YUASA. Regne Unit, 2014.
- [17] «Fitxa tècnica: *NUCLEO-XXXXRX NUCLEO-XXXXRX-P. STM32 Nucleo-64 boards*» ST. [En línia]. Disponible: https://www.st.com/resource/en/data_brief/nucleo-l476rg.pdf.
- [18] «Fitxa tècnica: *RC4136, RM4136, RV4136. QUAD GENERAL-PURPOSE OPERATIONAL AMPLIFIERS*» Texas instruments. Dallas, 2002.
- [19] «Fitxa tècnica: *STM32L476xx Datasheet*» ST. [En línia]. Disponible: <https://www.st.com/resource/en/datasheet/stm32l476je.pdf>.
- [20] «Fitxa tècnica: *8 Ah 38120HP LIFEPO4*» Headway, [En línia]. Disponible: <http://www.headway-cn.com/en/showproducts.php?id=1560>.
- [21] Gaig Font, Miquel. *Desenvolupament i implementació d'un Battery Management System amb Blanceig Actiu*. Barcelona, 2018.
- [22] HyperPhysics. *Amplificador Restador*. [En línia]. Disponible: <http://hyperphysics.phy->

astr.gsu.edu/hbasees/Electronic/opampvar6.html#c1.

- [23] Ines Baccouche. *Implementatio of Coulumb Counting Algorithm for SOC estimation of Li-Ion Battery for Multimedia Applications*. [En línia]. Disponible: https://www.researchgate.net/publication/305641470_Implementation_of_a_Coulomb_Counting_Algorithm_for_SOC_estimation_of_Li-Ion_Battery_for_Multimedia_Applications.
- [24] freeRTOS. *What is An RTOS?*. [En línia]. Disponible: <https://www.freertos.org/about-RTOS.html>.
- [25] Texas Instruments. *Op Amps For Everyone. Design Reference*. Dallas, 2002.
- [26] Texas Instruments. *16-Cells Li-Ion Battery Active Balance Reference Design*. Dallas, 2016.